

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**

**Patent number:** JP2002050765  
**Publication date:** 2002-02-15  
**Inventor:** ONUMA HIDETO; HAYAKAWA MASAHICO;  
NAKAMURA OSAMU; ENDO MAKOTO; HAYAKAWA  
SHIGENORI; KAJIWARA MASAYUKI; SEKIGUCHI  
KEIICHI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- international: **G02F1/136; G02F1/1368; H01L21/336; H01L29/786;**  
**G02F1/13; H01L21/02; H01L29/66; (IPC1-7):**  
**H01L29/786; G02F1/1368; H01L21/336**  
- european:  
**Application number:** JP20000235482 20000803  
**Priority number(s):** JP20000235482 20000803

**Report a data error here**

**Abstract of JP2002050765**

**PROBLEM TO BE SOLVED:** To solve the problem that conventionally semiconductor devices, such as those for the implantation defect being caused by the doping treatment for leading in the impurity elements for gettering the metallic elements used for acceleration of crystallization and the impurity elements for giving P-type occurs in a semiconductor layer to form a p-channel type TFT, and that it exerts adverse influence on the electrical properties at manufacture of a TFT. **SOLUTION:** Accelerating voltage at doping treatment has a large influence on implantation defects. To reduce the above implantation defects, it is to be desired that the above acceleration voltage be even lower still. For its sake, the doping treatment is performed separately in two times by changing its accelerating voltage, when forming a low concentration impurity diffusion region and a high concentration diffusion region existing under the tapered section of a gate electrode. By so doing, the implantation defects in the semiconductor film can be minimized. Furthermore, the flexibility in design is improved, because the quantity of introduction of impurity elements can be changed for the above heavily-doped region and the lightly-doped region.

---

Data supplied from the **esp@cenet** database - Worldwide

**Family list****1** family member for: **JP2002050765**

Derived from 1 application

**1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD****Inventor:** ONUMA HIDETO; HAYAKAWA MASAHIKO; **Applicant:** SEMICONDUCTOR ENERGY LAB  
(+5)**EC:** **IPC:** G02F1/136; G02F1/1368; H01L21/336 (+**Publication info:** JP2002050765 A - 2002-02-15Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-50765

(P2002-50765A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 A	2 H 0 9 2
21/336		G 0 2 F 1/136	5 0 0	5 F 1 1 0
G 0 2 F 1/1368		H 0 1 L 29/78	6 1 7 K	

審査請求 未請求 請求項の数14 O L (全 35 頁)

(21) 出願番号 特願2000-235482(P2000-235482)

(22) 出願日 平成12年8月3日 (2000.8.3)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大沼 英人

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 早川 昌彦

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 中村 理

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 p チャネル型 T F T を形成する半導体層では、結晶化を促進するために用いた金属元素をゲッタリングするための不純物元素および p 型を付与する不純物元素が導入するためのドーピング処理による注入欠陥が生じ、T F T を作製した際の電気的特性に悪影響を及ぼしていた。

【解決手段】 注入欠陥はドーピング処理時の加速電圧が大きく影響している。前記注入欠陥を低減するためには、少しでも前記加速電圧が低い方が望ましい。そのため、ゲート電極のテーパ部下方に存在する低濃度不純物領域と、高濃度不純物領域を形成する際、加速電圧を変えて少なくとも2回に分けてドーピング処理を行なう。このようにすることで、半導体膜における注入欠陥を最小限に抑えることができる。さらに、前記高濃度不純物領域と、低濃度不純物領域に対して、それぞれ不純物元素の導入量を変えることができるため、設計の自由度が向上する。

## 【特許請求の範囲】

【請求項 1】 p チャネル型 T F T を有する半導体装置の作製方法において、結晶質半導体膜上にゲート絶縁膜を形成する第 1 の工程と、前記ゲート絶縁膜上に少なくとも 1 層の導電膜を形成する第 2 の工程と、前記導電膜を少なくとも 1 回のエッチングを行なってテーパ部を有するゲート電極を形成する第 3 の工程と、前記ゲート電極をマスクとして、前記結晶質半導体膜に第 1 の不純物元素を導入して第 1 および第 2 の不純物領域を形成する第 4 の工程と、前記第 2 の不純物領域に選択的に前記第 1 の不純物元素を導入して第 3 の不純物領域を形成する第 5 の工程と、前記第 1 の不純物領域に第 2 の不純物元素を導入して第 4 の不純物領域を形成する第 6 の工程と、前記第 2 の不純物領域に前記第 2 の不純物元素を導入して第 5 の不純物領域を形成する第 7 の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 2】 p チャネル型 T F T を有する半導体装置の作製方法において、非晶質半導体膜に結晶化を助長する金属元素を添加する第 1 の工程と、加熱処理により前記非晶質半導体膜を結晶化して結晶質半導体膜を形成する第 2 の工程と、前記結晶質半導体膜上にゲート絶縁膜を形成する第 3 の工程と、前記ゲート絶縁膜上に少なくとも 1 層の導電膜を形成する第 4 の工程と、前記導電膜を少なくとも 1 回エッチングを行なってテーパ部を有するゲート電極を形成する第 5 の工程と、前記ゲート電極をマスクとして、前記結晶質半導体膜に第 1 の不純物元素を導入して第 1 および第 2 の不純物領域を形成する第 6 の工程と、前記第 2 の不純物領域に選択的に前記第 1 の不純物元素を導入して第 3 の不純物領域を形成する第 7 の工程と、前記第 1 の不純物領域に第 2 の不純物元素を導入して第 4 の不純物領域を形成する第 8 の工程と、前記第 2 の不純物領域に前記第 2 の不純物元素を導入して第 5 の不純物領域を形成する第 9 の工程と、加熱処理により前記第 5 の不純物領域に前記金属元素をゲッタリングする第 10 の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 3】 請求項 1 または 2 において、前記第 1 の不純物元素は 15 族に属する元素のうち少なくとも 1 つの元素を用いることを特徴とする半導体装置の作製方法。

【請求項 4】 請求項 1 または 2 において、前記第 2 の不純物元素は 13 族に属する元素のうち少なくとも 1 つの元素を用いることを特徴とする半導体装置の作製方

法。

【請求項 5】 請求項 1 または 2 において、前記第 1 および第 2 の不純物領域の前記第 1 の不純物元素の濃度は  $1 \times 10^{17} \sim 5 \times 10^{20} / \text{cm}^3$  であること特徴とする半導体装置の作製方法。

【請求項 6】 請求項 1 または 2 において、前記第 3 の不純物領域の前記第 1 の不純物元素の濃度は  $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$  であること特徴とする半導体装置の作製方法。

10 【請求項 7】 請求項 1 または 2 において、前記第 4 の不純物領域の前記第 2 の不純物元素の濃度は  $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$  であること特徴とする半導体装置の作製方法。

【請求項 8】 請求項 1 または 2 において、前記第 5 の不純物領域の前記第 2 の不純物元素の濃度は  $1 \times 10^{20} \sim 5 \times 10^{22} / \text{cm}^3$  であること特徴とする半導体装置の作製方法。

20 【請求項 9】 請求項 1 乃至 8 のいずれか一項において、前記半導体装置は、液晶表示装置、E L 表示装置またはイメージセンサであることを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 1 乃至 8 のいずれか一項において、前記半導体装置は、携帯電話、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、パーソナルコンピュータ、DVD プレイヤー、電子辞書、または携帯型情報端末であることを特徴とする半導体装置の作製方法。

30 【請求項 11】 絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記半導体層は、前記ゲート電極と重なるチャネル形成領域と、前記ゲート電極と重なる低濃度不純物領域と、高濃度不純物領域とを有し、前記低濃度不純物領域は  $1 \times 10^{17} \sim 5 \times 10^{20} / \text{cm}^3$  の濃度の n 型を付与する不純物元素および  $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$  の濃度の p 型を付与する不純物元素を含有し、前記高濃度不純物領域は  $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$  の濃度の n 型を付与する不純物元素および  $1 \times 10^{20} \sim 5 \times 10^{22} / \text{cm}^3$  の濃度の p 型を付与する不純物元素を含有していることを特徴とする半導体装置。

40 【請求項 12】 請求項 11 において、前記ゲート電極の端部は、テーパ形状であることを特徴とする半導体装置。

【請求項 13】 請求項 11 または 12 において、前記半導体装置は、液晶表示装置、E L 表示装置またはイメージセンサであることを特徴とする半導体装置。

50 【請求項 14】 請求項 11 または 13 において、前記半導体装置は、携帯電話、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、パーソ

ナルコンピュータ、DVDプレイヤー、電子辞書、または携帯型情報端末であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は薄膜トランジスタ（以下、TFTと言う）で構成された回路を有する半導体装置の作製方法に関する。例えば、液晶表示装置に代表される電気光学装置、及び電気光学装置を部品として搭載した電気機器の構成に関する。また、前記装置の作製方法に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指し、上記電気光学装置及び電気機器もその範疇にあるとする。

【0002】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。TFTはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】結晶質半導体膜を半導体層として用いたTFTは、非晶質半導体膜と比較し、非常に高い移動度を有する。このため、結晶質半導体膜を利用すると、例えば、従来の非晶質半導体膜を使って作製した半導体装置では実現できなかったモノリシック型の液晶電気光学装置（一枚の基板上に、画素駆動用と駆動回路用の薄膜トランジスタ（TFT）を作製した半導体装置）が作製できる。

【0004】このように、結晶質半導体膜は、非晶質半導体膜と比較し、非常に特性の高い半導体膜である。これが、上記研究の行われる理由である。例えば、加熱による非晶質半導体膜の結晶化を行なうには、600℃以上の加熱温度と10時間以上の加熱時間が必要であった。この結晶化条件に耐える基板には、例えば、合成石英基板がある。しかしながら、合成石英基板は高価で加工性に乏しく、特に大面積に加工するのは非常に困難であった。基板の大面積化は特に量産効率を上げるためには必要不可欠な要素である。近年、量産効率の向上のために基板を大面積化する動きが著しく、新しく建設される量産工場のラインは、基板サイズ600×720mmが標準となりつつある。

【0005】合成石英基板をこのような大面積基板に加工することは現在の技術では難しく、たとえできたとしても産業として成り立つ価格までは下がらないと考えられる。大面積基板を容易に作製できる材料に、例えばガラス基板がある。ガラス基板には、例えばコーニング7059と呼ばれているものがある。コーニング7059は非常に安価で加工性に富み、大面積化も容易である。しかしながら、コーニング7059は歪点温度が593℃であり、600℃以上の加熱には問題があった。

【0006】ガラス基板の1つに、歪点温度が比較的高いコーニング1737というものがある。コーニング1737の歪点温度は667℃とコーニング7059の歪点温度に比べて高い。前記コーニング1737に非晶質半導体膜を成膜し、20時間、600℃の雰囲気においても、作製工程に影響するほどの基板の変形は見られなかった。しかしながら、20時間の加熱時間は量産工程としては長過ぎた。

【0007】このような問題を解決するため、新しい結晶化の方法が考案された。前記方法の詳細は特開平7-183540号公報に記載されている。ここで、前記方法を簡単に説明する。まず、非晶質半導体膜にニッケル、またはパラジウム、または鉛等の金属元素を微量に添加する。添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよい。前記添加の後、例えば550℃の窒素雰囲気中に4時間、非晶質半導体膜を置くと、特性の良好な結晶質半導体膜が得られる。結晶化に最適な加熱温度や加熱時間等は、前記金属元素の添加量や、非晶質半導体膜の状態による。

【0008】しかしながら、前記技術では、結晶化を促進するために用いた前記金属元素が高抵抗層（チャネル形成領域やオフセット領域）中に金属化合物として局所的に残留すると言う問題がある。前記金属化合物は電流が流れやすいため、高抵抗層であるべき領域の抵抗を局所的に下げることになり、TFTの電気的特性の安定性および信頼性を損なう原因となる。

【0009】この問題を解決するため、本出願人は結晶質半導体膜から結晶化を促進するための金属元素を除去する技術（ゲッタリング技術）を開発し、特開平10-270363号公報に開示している。前記ゲッタリング技術とは、前記金属元素が残留している前記結晶質半導体膜に15族に属する元素を選択的に導入して加熱処理を行なうものである。前記加熱処理により、前記15族に属する元素が導入されていない領域（被ゲッタリング領域）の前記金属元素は前記被ゲッタリング領域から放出され、拡散し、前記15族に属する元素が導入されている領域（ゲッタリング領域）に捕獲される。その結果、前記被ゲッタリング領域において前記金属元素を除去または低減することができる。

【0010】前記ゲッタリング技術は、ソース領域およびドレイン領域に15族に属する元素を導入してチャネル形成領域やオフセット領域から前記金属元素を除去またはTFTの電気的特性に悪影響を及ぼさない程度に除去することもできる。15族に属する元素は半導体層にドーピングすることによってn型を付与するが、ソース領域およびドレイン領域にゲッタリングする技術はnチャネル型TFTおよびpチャネル型TFTを形成する半導体層に適用できる。ここで、pチャネル型TFTを形成する半導体層のうちソース領域およびドレイン領域と

なる領域にはn型を付与する不純物元素だけでなく、p型を付与する不純物元素も導入することになる。しかし、pチャネル型TF Tを形成する半導体層においてもソース領域およびドレイン領域に金属元素がゲッタリングされることは確認されている。

【0011】また、ドーピング処理において、半導体層へ打ち込まれるイオンのエネルギーは、半導体層を形成する元素の結合エネルギーと比較して非常に大きい。そのため、前記半導体層へ打ち込まれるイオンは前記半導体膜を形成する元素を格子点から弾き飛ばして結晶に欠陥が生じさせる。したがって、ドーピング処理後は前記欠陥の回復を行ない、また同時に打ち込んだイオンを活性化させるため、加熱処理を行なうことが多い。なお、前記欠陥はイオン注入によって生じるため、本明細書中では注入欠陥と呼ぶ。

【0012】一方、TF Tの電気的特性のひとつにオフ電流値がある。前記オフ電流値とは、TF Tがオフ動作時に流れるドレイン電流値のことであり、消費電力を低く抑えるためにはオフ電流値は充分低いほうが望ましい。

【0013】オフ電流値を低減するためのTF Tの構造として、低濃度ドレイン(LDD:Lightly Doped Drain)構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を導入して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を導入した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD(Gate-drain Overlapped LDD)構造が知られている。このような構造とすることで、ドレイン領域近傍の高電界が緩和されてホットキャリアの注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0014】なお、GOLD構造は、LATID(Large-tilt-angle implanted drain)構造、またはITLDD(Inverse T LDD)構造等としても知られている。そして、例えば「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTF Tと比べ、極めて優れた信頼性が得られていることが確認されている。

【0015】また、GOLD構造を形成するために、ゲート電極の端部はテーパを有する形状とする。このような形状にすることで、nチャネル型TF Tを形成する半導体層にn型を付与する不純物元素を導入する工程と、pチャネル型TF Tを形成する半導体層にp型を付与する不純物元素を導入する工程は、それぞれ1回のドーピング処理で、ゲート電極と重ならない部分にソース領域およびドレイン領域が形成され、ゲート電極のテーパの下方には前記テーパの形状に沿った濃度勾配を

有するLDD領域を形成することができる。

【0016】

【本発明が解決しようとする課題】しかしながら、ゲート電極の端部のテーパを利用し、1回のドーピング処理でソース領域およびドレイン領域と、LDD領域を形成する方法を用いると、次のような問題点があった。前記ソース領域およびドレイン領域と、前記LDD領域の不純物元素の導入量の比は、前記不純物元素の濃度プロファイルの分布形状および半導体層の上方に存在する膜の膜厚で決まってしまう。そのため、前記ソース領域およびドレイン領域と、前記LDD領域それぞれに対する設計の自由度がなかった。

【0017】また、pチャネル型TF Tを形成する半導体層において、ソース領域およびドレイン領域となる領域には、まず、結晶化を促進するために用いた金属元素をゲッタリングするために、n型を付与する不純物元素を導入する必要がある。さらに、前記ソース領域およびドレイン領域となる領域には、pチャネル型TF Tを作製するために、p型を付与する不純物元素を導入していた。そのため、半導体膜の注入欠陥が激しく、前記注入欠陥はTF Tを作製したときの電気的特性に悪影響を及ぼすほどであった。ドーピング処理による半導体膜の注入欠陥はドーピング処理時の加速電圧が大きく影響しており、少しでも低い方が望ましかった。

【0018】そのため、本発明において、テーパを有するゲート電極をマスクとしてドーピング処理を行なう場合、少なくともpチャネル型TF Tを形成する半導体層において、ソース領域およびドレイン領域と、LDD領域を形成する際の加速電圧を変えて、少なくとも2回に分けて行なうこととする。このようにすることで、半導体膜における注入欠陥を最小限に抑えることができる。さらに、ソース領域およびドレイン領域と、LDD領域に対して、それぞれ不純物元素の導入量を変えることができ、設計の自由度が向上する。

【0019】

【課題を解決するための手段】図5(A)に加速電圧をパラメータとし、珪素膜中にボロン(B)のドーズ量を $2 \times 10^{13} / \text{cm}^2$ としてドーピング処理を行なったときの濃度プロファイルの計算結果を示す。ただし、ボロン原子(B)およびボロン分子(B<sub>2</sub>)が1:1の割合で打ち込まれた場合について計算した。図5(A)から加速電圧によって濃度プロファイルが異なることが分かる。

【0020】一方、ソース領域およびドレイン領域と、LDD領域はこれらの上方にある膜の膜厚が異なるため、それぞれに適した加速電圧で不純物元素を導入する必要がある。

【0021】LDD領域が必要とする不純物元素の導入量は、ソース領域およびドレイン領域が必要とする導入量と比較すると少ない。そのため、LDD形成時にソー

ス領域およびドレイン領域に打ち込まれる不純物元素の導入量は問題にならない。また、ソース領域およびドレイン領域形成時の加速電圧は、LDD領域形成時の加速電圧より低くする。このようにすれば、LDD領域の上方に存在するゲート絶縁膜やゲート電極がマスクとしての機能を充分果たし、LDD領域には不純物元素が打ち込まれない。

【0022】pチャネル型TFETを形成する半導体層のソース領域およびドレイン領域には、まずn型を付与する不純物元素が導入され、次にLDD領域を形成するため高加速電圧でp型を付与する不純物元素が導入され、続いてソース領域およびドレイン領域を形成するために低加速電圧でp型を付与する不純物元素が導入される。そこで、ソース領域およびドレイン領域に相当する半導体層を作製して、4端子法でシート抵抗値を測定した。その結果を図5(B)に示す。ここでは、結晶質珪素膜(膜厚50nm)にリン(P)を80keVで $1.7 \times 10^{20}/\text{cm}^3$ 、 $2.3 \times 10^{20}/\text{cm}^3$ 、 $2.8 \times 10^{20}/\text{cm}^3$ の濃度になるように条件を振って導入した。このドーピング処理はnチャネル型TFETのソース領域およびドレイン領域を形成するドーピング処理に相当する。次に、ボロン(B)を70keVで $1.5 \times 10^{20}/\text{cm}^3$ 導入した。このドーピング処理はpチャネル型TFETのLDD領域を形成するドーピング処理に相当する。続いて、ボロン(B)の条件を振って導入した。このドーピング処理はpチャネル型TFETのソース領域およびドレイン領域を形成するドーピング処理に相当する。実験からソース領域およびドレイン領域のシート抵抗は0.05~2k $\Omega$ (好ましくは0.05~1k $\Omega$ )であれば良いことが分かっている。図5(B)より、高加速電圧でボロンを導入してLDD領域を形成しても、ソース領域およびドレイン領域の抵抗値はソース領域およびドレイン領域として充分機能する程度まで低くなることがわかる。

【0023】このようにして、ソース領域およびドレイン領域の注入欠陥は最小限に抑えることができ、活性化が容易となる。また、ソース領域およびドレイン領域と、LDD領域へのドーピング処理に関しては、独立に加速電圧と導入量を設定できるため、設計の自由度が大幅に向上した。

【0024】なお、ここではn型を付与する不純物元素としてリンを、p型を付与する不純物元素としてボロンを、半導体膜として珪素膜を例に挙げて説明した。しかし、本発明において、n型を付与する不純物元素、p型を付与する不純物元素および半導体膜はこれらに限定するものではない。例えば、半導体膜として、非晶質半導体膜や微結晶半導体膜などがあり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良いし、n型を付与する不純物元素としてリン以外の15族に属する元素や、p型を付与する不純物

元素としてボロン以外の13族に属する元素を適用しても良い。

【0025】本発明は、pチャネル型TFETを有する半導体装置の作製方法において、結晶質半導体膜上にゲート絶縁膜を形成する第1の工程と、前記ゲート絶縁膜上に少なくとも1層の導電膜を形成する第2の工程と、前記導電膜を少なくとも1回エッチングを行なってテーパーを有するゲート電極を形成する第3の工程と、前記ゲート電極をマスクとして、前記結晶質半導体膜に第1の不純物元素を導入して第1および第2の不純物領域を形成する第4の工程と、前記第2の不純物領域に選択的に前記第1の不純物元素を導入して第3の不純物領域を形成する第5の工程と、前記第1の不純物領域に第2の不純物元素を導入して第4の不純物領域を形成する第6の工程と、前記第3の不純物領域に前記第2の不純物元素を導入して第5の不純物領域を形成する第7の工程と、を有することを特徴とする半導体装置の作製方法である。

【0026】前記導電膜はタングステン、タンタル、チタン及びモリブデンなどの高融点金属またはこれら金属を成分とする化合物またはこれら金属を含む合金などから選ばれた材質を用いる。

【0027】エッチングにはプラズマ発生源の電力と基板側に負のバイアス電圧を発生させるバイアス電力を独立に制御できる装置を用いる。ゲート電極の端部のテーパー角度は基板側のバイアス電圧に依存するので、ドライエッチング装置のバイアス電力をより大きく設定することでゲート電極のテーパー角度はより小さくなることがわかった。バイアス電力を適宜制御して、ゲート電極の端部に5~70°のテーパー角度を形成することができ、その形状を利用して不純物領域を形成する際のマスクに用いる。前記第6の工程ではゲート電極の端部に5~60°のテーパー角度が形成されるようにドライエッチングを行ない、ゲート電極を形成する。

【0028】上記第4の工程において、第1および第2の不純物領域を形成するために、イオン化した不純物元素を、電界で加速してゲート絶縁膜(本明細書中では、ゲート電極と半導体層とに密接してその両者の間に設けられる絶縁膜と、該絶縁膜からその周辺の領域に延在する絶縁膜を含めてゲート絶縁膜と称する)を通過させて、結晶質半導体膜に導入する方法を用いる。本明細書中において、この不純物元素の導入方法を便宜上「スルードーブ法」と呼ぶ。

【0029】前述のような形状のゲート電極とすることによって、前記第4の工程でスルードーブ法を用い、前記ゲート電極を構成する第1の導電層のテーパー形状となっている部分(テーパー部)の下方に存在する結晶質半導体膜に、不純物元素の濃度がチャネル形成領域から遠くにつれて連続的に高くなる第1の不純物領域を自己整合的に形成することを特徴としている。

【0030】上記4の工程直後において、ゲート絶縁膜を介してゲート電極を構成する第1の導電層のテーパー部と重なる第1の不純物領域と、ゲート絶縁膜を介してゲート電極を構成する第1の導電層のテーパー部と重ならない第2の不純物領域とに区別することができる。

【0031】続いて第5の工程において、第3の不純物領域を自己整合的に形成するために、イオン化した不純物元素を、電界で加速してゲート絶縁膜を通過させて、結晶質半導体膜に導入する方法を用いる。このとき、低加速電圧でドーピング処理を行なえば、ゲート電極を構成する第1の導電層がマスクとなるので、自己整合的に第3の不純物領域を形成することができる。

【0032】ただし、pチャネル型TFTを作製する場合には、レジストを形成して、第2の不純物領域に選択的に不純物元素を導入して第3の不純物領域を形成する。

【0033】前述のような形状のゲート電極とすることによって、前記第6の工程でスルドープ法を用い、前記ゲート電極のテーパー形状となっている部分(テーパー部)の下方に存在する結晶質半導体膜に、不純物元素の濃度がチャネル形成領域から遠去かるにつれて連続的に高くなる第4の不純物領域を自己整合的に形成する。

【0034】続いて第7の工程において、第5の不純物領域を自己整合的に形成するために、イオン化した不純物元素を、電界で加速してゲート絶縁膜を通過させて、結晶質半導体膜に添加する方法を用いる。このとき、低加速電圧でドーピング処理を行なえば、ゲート電極を構成する第1の導電層がマスクとなるので、自己整合的に第5の不純物領域を形成することができる。

【0035】上記手段を用いてマスク枚数を削減することで半導体装置の製造工程数、製造に要する時間を削減でき、製造コストの削減及び歩留まりの改善が可能となる。

【0036】また、上記の処理のほかにもドライエッチングや不純物元素のドーピング処理の順序及び条件を変えることで同じマスク枚数にて結晶質半導体膜、ゲート絶縁膜およびゲート電極を有する半導体装置にGOLD構造を形成することができる。

【0037】

【発明の実施の形態】本願発明の実施形態について、以下に図1～図3を用いて説明する。

【0038】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0039】また、下地絶縁膜11としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜11を形成する。前記下地絶縁

膜は前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0040】次いで、下地絶縁膜上に半導体膜12を形成する。半導体膜12は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により25～80nm(好ましくは30～60nm)の厚さで成膜する。前記半導体膜12としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0041】続いて、ニッケルなどの金属元素を用いた熱結晶化法を行なう。ニッケルなどの金属元素の添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよく、いずれかの方法により、図1(B)に示す前記金属元素含有層13を形成する。その後、加熱処理を行ない、半導体膜を結晶化させる。この結晶化法により半導体膜中に金属元素が残留することになる。その後、さらに図1(D)に示すように、レーザ結晶化法を行なっても良い。レーザ結晶化の際に用いるレーザ発振器として、エキシマレーザは大出力で、現状で300Hz程度の高周波パルスを発振出来るため、良く用いられている。また、パルス発振のエキシマレーザだけでなく、連続発振のエキシマレーザや、Arレーザ、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ等も用いることが出来る。また、レーザビームの照射は真空中、大気中、窒素雰囲気中などで行なうことが出来る。さらに、レーザビームを照射する際に基板を500度程度まで加熱しても良い。

【0042】得られた結晶質半導体膜にフォトマスクを用いて所望の形状にパターニングして半導体層16a、16bを形成する。ここで、半導体層16aはnチャネル型TFTを形成するための半導体層とし、半導体層16bはpチャネル型TFTを形成するための半導体層とする。

【0043】また、半導体層16a、16bを形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0044】次いで、半導体層16a、16bを覆うゲート絶縁膜17を形成する。ゲート絶縁膜17はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。

【0045】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。



【0046】次いで、ゲート絶縁膜17上に膜厚20～100nmの第1の導電膜18と、膜厚100～400nmの第2の導電膜19とを積層形成する。第1の導電膜18および第2の導電膜19は、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。

【0047】次に、フォトリソグラフィ法を用いてレジストからなるマスク20、21を形成し、電極及び配線を形成するための第1のエッチング処理を行なう。第1のエッチング処理では第1および第2のエッチング条件で行なう。この第1のエッチング条件により第1の導電層の端部をテーパ形状とする。

【0048】この後、レジストからなるマスク20、21を除去せずに第2のエッチング条件に変え、エッチングを行なう。第2のエッチング条件により第1の導電膜18および第2の導電膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。

【0049】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層22、23（第1の導電層22a、23aと第2の導電層22b、23b）を形成する。24はゲート絶縁膜であり、第1の形状の導電層22、23で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0050】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行なう。ここでは、第2の導電膜を選択的にエッチングする。この時、第2のエッチング処理により第2の導電層25b、26bを形成する。一方、第1の導電層25a、26aは、ほとんどエッチングされず、第2の形状の導電層25、26を形成する。

【0051】そして、第1のドーピング処理を行ない、図2（A）の状態を得る。ドーピング処理はイオンドーピング法、もしくはイオン注入法で行えば良い。第1のドーピング処理の条件は加速電圧を60～120keVとし、不純物領域28、29の平均濃度が $1 \times 10^{17} \sim 5 \times 10^{20}/\text{cm}^3$ となるように行なう。n型を付与する不純物元素として15族に属する元素、典型的にはリン

（P）または砒素（As）を用いる。第1のドーピング処理は、第2の形状の導電層25、26を不純物元素に

対するマスクとして用い、第2の導電層25a、26aのテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。この不純物領域へ添加されたリン（P）の濃度は、第1の導電層のテーパ部の膜厚にしたがって緩やかな濃度勾配を有している。こうして、自己整合的に形成された不純物領域28、29のうち、導電層25、26と重なる不純物領域が28b、29bであり、導電層25、26と重ならない不純物領域が28a、29aである。

10 【0052】次いで、導電層25、26をマスクとして用い、ゲート絶縁膜27を選択的に除去して絶縁層30a、30bを形成する。また、絶縁層30a、30bを形成すると同時に第2の形状の導電層25、26の形成に使用したレジストマスクを除去してもよい。（図2（B））

【0053】第2のドーピング処理を行なって半導体層にn型を付与する不純物元素を添加する。ドーピングは第1の導電層および第2の導電層を不純物元素に対するマスクとして用い、半導体層に不純物元素を導入する。  
20 この第2のドーピング処理の際には、pチャネル型TFETを形成する半導体層のソース領域およびドレイン領域の一部に不純物元素が導入されるようにレジストからなるマスク31で覆う。第2のドーピング処理の条件は加速電圧を5～40keVとし、不純物領域32、33aの平均濃度が $1 \times 10^{20} \sim 5 \times 10^{21}/\text{cm}^3$ となるように行なう。こうして、自己整合的に第1の導電層と重ならない不純物領域32、33aを形成する。マスク31により、不純物領域29aは第2のドーピング処理によってn型を付与する不純物元素が導入される領域33aと  
30 導入されない領域33bに分かれる。ここで、pチャネル型TFETを形成する半導体層にもn型を付与する不純物元素を導入するのは、結晶化を促進するために用いた金属元素をチャネル形成領域から除去またはTFETの電気的特性に悪影響を及ぼさない程度にまで低減するために必要だからである。

【0054】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク34を形成して第3のドーピング処理を行なう。この第3のドーピング処理の際には、nチャネル型TFETを形成する半導体層はレジストからなるマスク34で覆われている。第3のドーピング処理ではpチャネル型TFETのLDD領域を形成するため、高加速電圧でp型を付与する不純物元素を導入する。第3のドーピング処理の条件は加速電圧を60～120keVとし、不純物領域35の平均濃度が $1 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ となるように行なう。このとき、同時にソース領域およびドレイン領域にもp型を付与する不純物元素が導入される。しかし、LDD領域が必要とする前記p型を付与する不純物元素の導入量はソース領域およびドレイン領域が必要とする導入量と比較すると数桁少ない。そのため、第3のドーピング処理に

においてソース領域およびドレイン領域に導入される前記p型を付与する不純物元素は問題とならない。また、第1のドーピング処理によって、不純物領域35にはn型を付与する不純物元素が添加されているが、p型を付与する不純物元素の平均濃度を $1 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFETのLDD領域として機能するために何ら問題は生じない。

【0055】続いて、マスク34を除去せずに第4のドーピング処理を行なう。第4のドーピング処理により、pチャネル型TFETの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が導入された不純物領域36を形成する。第4のドーピング処理の条件は加速電圧を $5 \sim 40 \text{ keV}$ とし、不純物領域の平均濃度が $1 \times 10^{20} \sim 5 \times 10^{22}/\text{cm}^3$ となるように行なう。第1の導電層26aおよび第2の導電層26bを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域36を形成する。(図3(A))。第1のドーピング処理及び第2のドーピング処理によって、不純物領域36a、36bにはそれぞれ異なる濃度でn型を付与する不純物元素が添加されているが、そのいずれの領域においてもp型を付与する不純物元素の平均濃度を $1 \times 10^{20} \sim 5 \times 10^{22}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFETのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFETの活性層となる半導体層の一部が露呈しているため、p型を付与する不純物元素を添加しやすい利点を有している。

【0056】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0057】次いで、レジストからなるマスク34を除去して第1の層間絶縁膜37を形成する。この層間絶縁膜37としては、プラズマCVD法またはスパッタ法を用い、厚さを $100 \sim 200 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。層間絶縁膜37は他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0058】次いで、図3(B)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が $1 \text{ ppm}$ 以下、好ましくは $0.1 \text{ ppm}$ 以下の窒素雰囲気中で $400 \sim 700^\circ\text{C}$ 、代表的には $500 \sim 550^\circ\text{C}$ で行えばよく、本実施例では $550^\circ\text{C}$ 、4時間の熱処理で活性化処理を行った。なお、熱アニール法他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0059】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用した金属元素が高濃度のn型を付与する不純物元素を含む不純物領域32、

36にゲッタリングされ、主にチャネル形成領域となる半導体層中の前記金属元素の濃度が低減される。このようにして作製したチャネル形成領域を有するTFETはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0060】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0061】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行なうこととする。

【0062】

【実施例】[実施例1]本願発明の実施例について、以下に図1～図3を用いて説明する。

【0063】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0064】また、下地絶縁膜11としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜11を形成する。前記下地絶縁膜は前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0065】次いで、下地絶縁膜上に半導体膜12を形成する。半導体膜12は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により $25 \sim 80 \text{ nm}$ (好ましくは $30 \sim 60 \text{ nm}$ )の厚さで成膜する。前記半導体膜12としては、非晶質半導体膜や微結晶半導体膜などがあり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。

【0066】続いて、ニッケルなどの金属元素を用いた熱結晶化法を行なう。ニッケルなどの金属元素の添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよく、いずれかの方法により、図1(B)に示す前記金属元素含有層13を形成する。その後、加熱処理を行ない、半導体膜を結晶化させる。この結晶化法により半導体膜中に金属元素が残留することになる。その後、さらに図1(D)に示すように、レーザ結晶化法を行なっても良い。レーザ結晶化の際に用いるレーザ発振器として、エキシマレーザは大出力で、現状で $300 \text{ Hz}$ 程度の高周波パルスを発振出来るため、良く用いられている。また、パルス発振のエキシマレーザだけでなく、連続発振のエキシマレーザ

や、Arレーザ、YAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ等も用いることが出来る。また、レーザビームの照射は真空中、大気中、窒素雰囲気中などで行なうことが出来る。さらに、レーザビームを照射する際に基板を500度程度まで加熱しても良い。

【0067】得られた結晶質半導体膜にフォトリソを用いて所望の形状にパターニングして半導体層16a、16bを形成する。ここで、半導体層16aはnチャネル型TFTを形成するための半導体層とし、半導体層16bはpチャネル型TFTを形成するための半導体層とする。

【0068】また、半導体層16a、16bを形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

【0069】次いで、半導体層16a、16bを覆うゲート絶縁膜17を形成する。ゲート絶縁膜17はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0070】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO<sub>2</sub>とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0071】次いで、ゲート絶縁膜17上に膜厚20～100nmの第1の導電膜18と、膜厚100～400nmの第2の導電膜19とを積層形成する。本実施例では、膜厚30nmのTa<sub>2</sub>N<sub>5</sub>膜からなる第1の導電膜408と、膜厚370nmのW膜からなる第2の導電膜409を積層形成した。Ta<sub>2</sub>N<sub>5</sub>膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タンゲステン（WF<sub>6</sub>）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分

配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができた。

【0072】なお、本実施例では、第1の導電膜18をTa<sub>2</sub>N<sub>5</sub>、第2の導電膜19をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0073】次に、フォトリソグラフィ法を用いてレジストからなるマスク20、21を形成し、電極及び配線を形成するための第1のエッチング処理を行なう。第1のエッチング処理では第1および第2のエッチング条件で行なう。本実施例では第1のエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業（株）製のICPを用いたドライエッチング装置（Model E645-□ICP）を用いた。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件により第1の導電層の端部をテーパ形状とする。

【0074】この後、レジストからなるマスク20、21を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング条件により第1の導電膜18および第2の導電膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。

【0075】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電

層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は $15 \sim 45^\circ$ となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層22、23（第1の導電層22a、23aと第2の導電層22b、23b）を形成する。24はゲート絶縁膜であり、第1の形状の導電層22、23で覆われない領域は $20 \sim 50 \text{ nm}$ 程度エッチングされ薄くなった領域が形成される。

【0076】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行なう。ここでは、ここでは、エッチングガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、W膜からなる第2の導電膜を選択的にエッチングする。この時、第2のエッチング処理により第2の導電層25b、26bを形成する。一方、第1の導電層25a、26aは、ほとんどエッチングされず、第2の形状の導電層25、26を形成する。

【0077】そして、第1のドーピング処理を行ない、図2(A)の状態を得る。ドーピング処理はイオンドーピング法、もしくはイオン注入法で行えば良い。第1のドーピング処理の条件は加速電圧を $60 \sim 120 \text{ keV}$ とし、濃度が $1 \times 10^{17} \sim 5 \times 10^{20} / \text{cm}^3$ となるように行なう。本実施例では加速電圧を $90 \text{ keV}$ とし、不純物領域28、29の平均濃度が $2.5 \times 10^{18} / \text{cm}^3$ となるように第1のドーピング処理を行なった。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。第1のドーピング処理は、第2の形状の導電層25、26を不純物元素に対するマスクとして用い、第2の導電層25a、26aのテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。この不純物領域へ添加されたリン(P)の濃度は、第1の導電層のテーパ部の膜厚にしたがって緩やかな濃度勾配を有している。こうして、自己整合的に形成された不純物領域28、29のうち、導電層25、26と重なる不純物領域が28b、29bであり、導電層25、26と重ならない不純物領域が28a、29aである。

【0078】次いで、導電層25、26をマスクとして用い、ゲート絶縁膜27を選択的に除去して絶縁層30a、30bを形成する。また、絶縁層30a、30bを形成すると同時に第2の形状の導電層25、26の形成に使用したレジストマスクを除去してもよい。(図2(B))

【0079】第2のドーピング処理を行なって半導体層にn型を付与する不純物元素を添加する。ドーピングは第1の導電層および第2の導電層を不純物元素に対するマスクとして用い、半導体層に不純物元素を導入する。この第2のドーピング処理の際には、pチャネル型TFTを形成する半導体層のソース領域およびドレイン領域の一部に不純物元素が導入されるようにレジストからなるマスク31で覆う。第2のドーピング処理の条件は加

速電圧を $5 \sim 40 \text{ keV}$ とし、濃度が $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ となるように行なう。本実施例では加速電圧を $10 \text{ keV}$ とし、不純物領域32、33aの平均濃度が $2.0 \times 10^{20} / \text{cm}^3$ となるように第2のドーピング処理を行なった。こうして、自己整合的に第1の導電層と重ならない不純物領域32、33aを形成する。マスク31により、不純物領域29aは第2のドーピング処理によってn型を付与する不純物元素が導入される領域33aと導入されない領域33bに分かれる。ここで、pチャネル型TFTを形成する半導体層にもn型を付与する不純物元素を導入するのは、結晶化を促進するために用いた金属元素をチャネル形成領域から除去またはTFTの電気的特性に悪影響を及ぼさない程度にまで低減するために必要だからである。

【0080】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク34を形成して第3のドーピング処理を行なう。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク34で覆われている。第3のドーピング処理ではpチャネル型TFTのLDD領域を形成するため、高加速電圧でp型を付与する不純物元素を導入する。第3のドーピング処理の条件は加速電圧を $60 \sim 120 \text{ keV}$ とし、濃度が $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$ となるように行なう。本実施例では加速電圧を $80 \text{ keV}$ とし、不純物領域35の平均濃度が $5.0 \times 10^{19} / \text{cm}^3$ となるように第3のドーピング処理を行なった。このとき、同時にソース領域およびドレイン領域にもp型を付与する不純物元素が導入される。しかし、LDD領域が必要とする前記p型を付与する不純物元素の導入量はソース領域およびドレイン領域が必要とする導入量と比較すると数桁少ない。そのため、第3のドーピング処理においてソース領域およびドレイン領域に導入される前記p型を付与する不純物元素は問題とならない。また、第1のドーピング処理によって、不純物領域35にはn型を付与する不純物元素が添加されているが、p型を付与する不純物元素の平均濃度を $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのLDD領域として機能するために何ら問題は生じない。

【0081】続いて、マスク34を除去せずに第4のドーピング処理を行なう。第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が導入された不純物領域36を形成する。第4のドーピング処理の条件は加速電圧を $5 \sim 40 \text{ keV}$ とし、濃度が $1 \times 10^{20} \sim 5 \times 10^{22} / \text{cm}^3$ となるように行なう。第1の導電層26aおよび第2の導電層26bを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。(図3(A))。本実施例では加速電圧を $10 \text{ keV}$ とし、不純物領域3

6の平均濃度が $1.0 \times 10^{21}/\text{cm}^3$ となるように第4のドーピング処理を行なった。第1のドーピング処理及び第2のドーピング処理によって、不純物領域36a、36bにはそれぞれ異なる濃度でn型を付与する不純物元素が添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $1 \times 10^{20} \sim 5 \times 10^{22}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、p型を付与する不純物元素を添加しやすい利点を有している。

【0082】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0083】次いで、レジストからなるマスク34を除去して第1の層間絶縁膜37を形成する。この層間絶縁膜37としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。層間絶縁膜37は他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0084】次いで、図3(B)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法他に、レーザアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。

【0085】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用した金属元素が高濃度のn型を付与する不純物元素を含む不純物領域32、36にゲッタリングされ、主にチャネル形成領域となる半導体層中の前記金属元素の濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0086】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0087】[実施例2]本実施例では実施例1で示した第1のドーピング処理後、ゲート絶縁膜を選択的に除去せずに、TFTを作製する方法について図2、図3を用いて説明する。

【0088】実施例1にしたがって、図2(A)の状態を得る。

【0089】続いて、第2のドーピング処理を行なって半導体層にn型を付与する不純物元素を添加する。ドーピングは第1の導電層および第2の導電層を不純物元素に対するマスクとして用い、半導体層に不純物元素を導入する。この第2のドーピング処理の際には、pチャネル型TFTを形成する半導体層のソース領域およびドレイン領域の一部に不純物元素が導入されるようにレジストからなるマスク51で覆う。第2のドーピング処理の条件は加速電圧を5～40keVとし、不純物領域52、53aの平均濃度が $1 \times 10^{20} \sim 5 \times 10^{21}/\text{cm}^3$ となるように行なう。本実施例では加速電圧を30keVとし、濃度が $2.0 \times 10^{20}/\text{cm}^3$ となるように第2のドーピング処理を行なった。こうして、自己整合的に第1の導電層と重ならない不純物領域52、53aを形成する。マスク51により、不純物領域29aは第2のドーピング処理によってn型を付与する不純物元素が導入される領域53aと導入されない領域53bに分かれる。ここで、pチャネル型TFTを形成する半導体層にもn型を付与する不純物元素を導入するのは、結晶化を促進するために用いた金属元素をチャネル形成領域から除去またはTFTの電気的特性に悪影響を及ぼさない程度にまで低減するために必要だからである。

【0090】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク54を形成して第3のドーピング処理を行なう。この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク54で覆われている。第3のドーピング処理ではpチャネル型TFTのLDD領域を形成するため、高加速電圧でp型を付与する不純物元素を導入する。第3のドーピング処理の条件は加速電圧を60～120keVとし、濃度が $1 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ となるように行なう。本実施例では加速電圧を80keVとし、不純物領域55の平均濃度が $5.0 \times 10^{19}/\text{cm}^3$ となるように第3のドーピング処理を行なった。このとき、同時にソース領域およびドレイン領域にもp型を付与する不純物元素が導入される。しかし、LDD領域が必要とする前記p型を付与する不純物元素の導入量はソース領域およびドレイン領域が必要とする導入量と比較すると数桁少ない。そのため、第3のドーピング処理においてソース領域およびドレイン領域に導入される前記p型を付与する不純物元素は問題とならない。また、第1のドーピング処理によって、不純物領域55にはn型を付与する不純物元素が添加されているが、p型を付与する不純物元素の平均濃度を $1 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのLDD領域として機能するために何ら問題は生じない。

【0091】続いて、マスク54を除去せずに第4のドーピング処理を行なう。第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記導

電型とは逆の導電型を付与する不純物元素が導入された不純物領域 56 を形成する。第 4 のドーピング処理の条件は加速電圧を  $5 \sim 40 \text{ keV}$  とし、不純物領域 56 の平均濃度が  $1 \times 10^{20} \sim 5 \times 10^{22} / \text{cm}^3$  となるように行なう。第 1 の導電層 26a および第 2 の導電層 26b を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。(図 4 (C))。本実施例では加速電圧を  $30 \text{ keV}$  とし、不純物領域 56 の平均濃度が  $1.0 \times 10^{21} / \text{cm}^3$  となるように第 4 のドーピング処理を行なった。第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 36a、36b にはそれぞれ異なる濃度で n 型を付与する不純物元素が添加されているが、そのいずれの領域においても p 型を付与する不純物元素の平均濃度を  $1 \times 10^{20} \sim 5 \times 10^{22} / \text{cm}^3$  となるようにドーピング処理することにより、p チャネル型 TFT のソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、p チャネル型 TFT の活性層となる半導体層の一部が露呈しているため、p 型を付与する不純物元素を添加しやすい利点を有している。

【0092】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0093】次いで、レジストからなるマスク 54 を除去して第 1 の層間絶縁膜 57 を形成する。この層間絶縁膜 57 としては、プラズマ CVD 法またはスパッタ法を用い、厚さを  $100 \sim 200 \text{ nm}$  としてシリコンを含む絶縁膜で形成する。層間絶縁膜 57 は他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0094】次いで、図 4 (D) に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が  $1 \text{ ppm}$  以下、好ましくは  $0.1 \text{ ppm}$  以下の窒素雰囲気中で  $400 \sim 700^\circ\text{C}$ 、代表的には  $500 \sim 550^\circ\text{C}$  で行なえばよく、本実施例では  $550^\circ\text{C}$ 、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法 (RTA 法) を適用することができる。

【0095】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用した金属元素が高濃度の n 型を付与する不純物元素を含む不純物領域 52、56 にグッタリングされ、主にチャネル形成領域となる半導体層中の前記金属元素の濃度が低減される。このようにして作製したチャネル形成領域を有する TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0096】また、第 1 の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (シリコンを主成分とする絶縁膜、例えば

窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。[実施例 4] 本実施例ではアクティブマトリクス基板の作製方法について図 6 ～ 図 10 を用いて説明する。

【0097】まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 400 を用いる。なお、基板 300 としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0098】次いで、基板 300 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 301 を形成する。本実施例では下地膜 301 として 2 層構造を用いるが、前記絶縁膜の単層膜または 2 層以上積層させた構造を用いても良い。下地膜 301 の一層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化シリコン膜 301a を  $10 \sim 200 \text{ nm}$  (好ましくは  $50 \sim 100 \text{ nm}$ ) 形成する。本実施例では、膜厚  $50 \text{ nm}$  の酸化窒化シリコン膜 301a (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ) を形成した。次いで、下地膜 401 の二層目としては、プラズマ CVD 法を用い、 $\text{SiH}_4$ 、及び  $\text{N}_2\text{O}$  を反応ガスとして成膜される酸化窒化シリコン膜 401b を  $50 \sim 200 \text{ nm}$  (好ましくは  $100 \sim 150 \text{ nm}$ ) の厚さに積層形成する。本実施例では、膜厚  $100 \text{ nm}$  の酸化窒化シリコン膜 401b (組成比  $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ) を形成した。

【0099】次いで、下地膜上に半導体層 402 ～ 406 を形成する。半導体層 402 ～ 406 は、非晶質構造を有する半導体膜を公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により成膜する。前記半導体膜 12 としては、非晶質半導体膜や微結晶半導体膜、多結晶半導体膜などがあり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。本実施例では、プラズマ CVD 法を用い、 $55 \text{ nm}$  の非晶質珪素膜を成膜した。

【0100】続いて、ニッケルなどの金属元素を用いた熱結晶化法を行なう。ニッケルなどの金属元素の添加の方法は、プラズマ処理法や蒸着法、イオン注入法、スパッタ法、溶液塗布法等を利用すればよく、いずれかの方法により、図 6 (A) に示す前記金属含有層 303 を形成する。その後、加熱処理を行ない、半導体層を結晶化させる。本実施例では、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化 ( $500^\circ\text{C}$ 、1 時間) を行なった後、熱結晶化 ( $550^\circ\text{C}$ 、4 時間) を行なった。

【0101】得られた結晶質半導体膜を所望の形状にパ



ターニングして形成する。この半導体層 402~406 の厚さは 25~80 nm (好ましくは 30~60 nm) の厚さで形成する。本実施例では、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層 402~406 を形成した。

【0102】また、半導体層 402~406 を形成した後、TFET のしきい値を制御するために微量な不純物元素 (ボロンまたはリン) のドーピングを行なってもよい。

【0103】また、レーザ結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザや YAG レーザ、YVO<sub>4</sub> レーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数 300 Hz とし、レーザエネルギー密度を 100~400 mJ/cm<sup>2</sup> (代表的には 200~300 mJ/cm<sup>2</sup>) とする。また、YAG レーザを用いる場合にはその第 2 高調波を用いパルス発振周波数 1~300 Hz とし、レーザエネルギー密度を 300~600 mJ/cm<sup>2</sup> (代表的には 350~500 mJ/cm<sup>2</sup>) とすると良い。そして幅 100~1000 μm、例えば 400 μm で線状に集光したレーザビームを基板全面に渡って照射し、この時の線状レーザビームの重ね合わせ率 (オーバーラップ率) を 50~98% として行えばよい。

【0104】次いで、半導体層 402~406 を覆うゲート絶縁膜 407 を形成する。ゲート絶縁膜 407 はプラズマ CVD 法またはスパッタ法を用い、厚さを 40~150 nm としてシリコンを含む絶縁膜で形成する。本実施例では、プラズマ CVD 法により 110 nm の厚さで酸化窒化シリコン膜 (組成比 Si=32%、O=59%、N=7%、H=2%) で形成した。もちろん、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0105】また、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Orthosilicate) と O<sub>2</sub> とを混合し、反応圧力 40 Pa、基板温度 300~400℃ とし、高周波 (13.56 MHz) 電力密度 0.5~0.8 W/cm<sup>2</sup> で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 400~500℃ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0106】次いで、図 6 (C) に示すように、ゲート絶縁膜 407 上に膜厚 20~100 nm の第 1 の導電膜 408 と、膜厚 100~400 nm の第 2 の導電膜 409 とを積層形成する。本実施例では、膜厚 30 nm の TaN 膜からなる第 1 の導電膜 408 と、膜厚 370 nm

の W 膜からなる第 2 の導電膜 409 を積層形成した。TaN 膜はスパッタ法で形成し、Ta のターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タングステン (WF<sub>6</sub>) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 μΩ cm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度の W (純度 99.9999%) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9~20 μΩ cm を実現することができた。

【0107】なお、本実施例では、第 1 の導電膜 408 を TaN、第 2 の導電膜 409 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu、Cr、Nd から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu 合金を用いてもよい。また、第 1 の導電膜をタンタル (Ta) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化チタン (TiN) 膜で形成し、第 2 の導電膜を W 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta<sub>3</sub>N<sub>5</sub>) 膜で形成し、第 2 の導電膜を Al 膜とする組み合わせ、第 1 の導電膜を窒化タンタル (Ta<sub>3</sub>N<sub>5</sub>) 膜で形成し、第 2 の導電膜を Cu 膜とする組み合わせとしてもよい。

【0108】次に、フォトリソグラフィ法を用いてレジストからなるマスク 410~415 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行なう。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行なう。本実施例では第 1 のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF<sub>4</sub> と Cl<sub>2</sub> と O<sub>2</sub> とを用い、それぞれのガス流量比を 25/25/10 (sccm) とし、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製の ICP を用いたドライエッチング装置 (Model E645-□ ICP) を用いた。基板側 (試料ステージ) にも 150 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層の端部をテーパ形状とする。

【0109】この後、レジストからなるマスク 410~415 を除去せずに第 2 のエッチング条件に変え、エッ

チング用ガスに  $\text{CF}_4$  と  $\text{Cl}_2$  とを用い、それぞれのガス流量比を  $30/30$  (sccm) とし、1Paの圧力でコイル型の電極に 500W の RF (13.56MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行った。基板側 (試料ステージ) にも 20W の RF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$  と  $\text{Cl}_2$  を混合した第 2 のエッチング条件では W 膜及び TaN 膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20% 程度の割合でエッチング時間を増加させると良い。

【0110】上記第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ形状となる。このテーパ部の角度は  $15 \sim 45^\circ$  となる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 417～422 (第 1 の導電層 417a～422a と第 2 の導電層 417b～422b) を形成する。416 はゲート絶縁膜であり、第 1 の形状の導電層 417～422 で覆われない領域は 20～50nm 程度エッチングされ薄くなった領域が形成される。

【0111】次いで、レジストからなるマスクを除去せずに第 2 のエッチング処理を行なう。ここでは、第 2 の導電膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の導電層 428b～433b を形成する。一方、第 1 の導電層 428a～433a は、ほとんどエッチングされず、第 2 の形状の導電層 428～433 を形成する。

【0112】そして、第 1 のドーピング処理を行ない、図 2 (B) の状態を得る。ドーピング処理はイオンドーブ法、もしくはイオン注入法で行えば良い。第 1 のドーピング処理の条件は加速電圧を  $60 \sim 120 \text{ keV}$  とし、濃度が  $1 \times 10^{17} \sim 5 \times 10^{20} / \text{cm}^3$  となるように行なう。本実施例では加速電圧を  $90 \text{ keV}$  とし、不純物領域 423～427 の平均濃度が  $2.5 \times 10^{18} / \text{cm}^3$  となるように第 1 のドーピング処理を行なった。n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン (P) または砒素 (As) を用いる。第 1 のドーピング処理は、第 2 の形状の導電層 428～433 を不純物元素に対するマスクとして用い、第 2 の導電層 428a～433a のテーパ部下方における半導体層にも不純物元素が添加されるようにドーピングする。この不純物領域へ添加されたリン (P) の濃度は、第 1 の導電層のテーパ部の膜厚にしたがって緩やかな濃度勾配を有している。こうして、自己整合的に形成された不純物領域 423～427 のうち、第 2 の導電層 428b～433b と重なる不純物領域が 423b～427b であり、第 2 の導電層 428b～433b と重ならない不純

物領域が 423a～427a である。

【0113】次いで、レジストからなるマスクを除去した後、第 2 の形状の導電層 428～433 をマスクとして用い、ゲート絶縁膜 338 を選択的に除去して絶縁層 339a～339g を形成する。また、339a～339g を形成すると同時に第 2 の形状の導電層 428～433 の形成に使用したレジストマスクを除去してもよい。(図 7 (B))

【0114】第 2 のドーピング処理を行なって半導体層に n 型を付与する不純物元素を添加する。ドーピングは第 1 の導電層および第 2 の導電層を不純物元素に対するマスクとして用い、半導体層に不純物元素を導入する。この第 2 のドーピング処理の際には、p チャネル型 TFT を形成する半導体層のソース領域およびドレイン領域の一部に不純物元素が導入されるようにレジストからなるマスク 441a～441c で覆う。第 2 のドーピング処理の条件は加速電圧を  $5 \sim 40 \text{ keV}$  とし、濃度が  $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$  となるように行なう。こうして、自己整合的に第 1 の導電層と重ならない不純物領域 434～438 を形成する。本実施例では加速電圧を  $10 \text{ keV}$  とし、不純物領域 434～438 の平均濃度が  $1.5 \times 10^{20} / \text{cm}^3$  となるように第 2 のドーピング処理を行なった。マスク 441a～441c により、不純物領域 424a、426a は第 2 のドーピング処理によって n 型を付与する不純物元素が導入される領域 435、437 と導入されない領域 439、440 に分かれる。ここで、p チャネル型 TFT を形成する半導体層にも n 型を付与する不純物元素を導入するのは、結晶化を促進するために用いた金属元素をチャネル形成領域から除去または TFT の電気的特性に悪影響を及ぼさない程度にまで低減するために必要だからである。

【0115】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスクを形成して第 3 のドーピング処理を行なう。この第 3 のドーピング処理の際には、n チャネル型 TFT を形成する半導体層はレジストからなるマスク 452～454 で覆われている。第 3 のドーピング処理では p チャネル型 TFT の LDD 領域を形成するため、高加速電圧で p 型を付与する不純物元素を導入する。第 3 のドーピング処理の条件は加速電圧を  $60 \sim 120 \text{ keV}$  とし、濃度が  $1 \times 10^{18} \sim 5 \times 10^{21} / \text{cm}^3$  となるように行なう。本実施例では加速電圧を  $80 \text{ keV}$  とし、不純物領域の平均濃度が  $5.0 \times 10^{19} / \text{cm}^3$  と 455、456 なるように第 3 のドーピング処理を行なった。このとき、同時にソース領域およびドレイン領域にも p 型を付与する不純物元素が導入される。しかし、LDD 領域が必要とする前記 p 型を付与する不純物元素の導入量はソース領域およびドレイン領域が必要とする導入量と比較すると数桁少ない。そのため、第 3 のドーピング処理においてソース領域およびドレイン領域に導入される前記 p 型を付与する不純物元素



は問題とならない。また、第1のドーピング処理によって、不純物領域455、456にはn型を付与する不純物元素が添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $1 \times 10^{18} \sim 5 \times 10^{21}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのLDD領域として機能するために何ら問題は生じない。

【0116】続いて、マスク452～454を除去せずに第4のドーピング処理を行なう。第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が導入された不純物領域457～459を形成する。第4のドーピング処理の条件は加速電圧を5～40keVとし、濃度が $1 \times 10^{20} \sim 5 \times 10^{22}/\text{cm}^3$ となるように行なう。第2の形状の導電層428～433を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。(図8(C))本実施例では加速電圧を10keVとし、不純物領域457～459の平均濃度が $1.0 \times 10^{21}/\text{cm}^3$ となるように第4のドーピング処理を行なった。第1のドーピング処理及び第2のドーピング処理によって、不純物領域457～459にはそれぞれ異なる濃度でn型を付与する不純物元素が添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $1 \times 10^{20} \sim 5 \times 10^{22}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、p型を付与する不純物元素を添加しやすい利点を有している。

【0117】以上までの工程で、それぞれの半導体層に不純物領域が形成される。

【0118】次いで、レジストからなるマスク452～454を除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜461は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0119】次いで、図9(A)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行なう。この活性化工程はファーンズアニール炉を用いる熱アニール法で行なう。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニー

ル法の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0120】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域434、436～438、457、459を結晶化する。そのため、前記不純物領域前記金属元素がゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0121】また、第1の層間絶縁膜を形成する前に活性化処理を行なっても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行なうことが好ましい。

【0122】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行なう。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行なっても良い。

【0123】また、活性化処理としてレーザアニール法を用いる場合には、上記水素化を行った後、エキシマレーザやYAGレーザ等のレーザビームを照射することが望ましい。

【0124】次いで、第1の層間絶縁膜461上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜462を形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、特に限定されず、シリコンを含む絶縁膜(酸化窒化珪素膜、酸化珪素膜、窒化珪素膜等)を単層または積層構造として用いてもよい。

【0125】そして、駆動回路506において、各不純物領域とそれぞれ電氣的に接続する配線463～467を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜(AlとTiとの合金膜)との積層膜をパターンニングして形成する。

【0126】また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。(図9(B))この接続電極468によりソース配線(443bと449の積層)は、画素TFTと電氣的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電氣的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電氣的な接続が形成され、さらに保持容量を形成す

る一方の電極として機能する半導体層 458 と電気的な接続が形成される。また、画素電極 471 としては、A1 または Ag を主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0127】以上の様にして、n チャネル型 TFT501 と p チャネル型 TFT502 からなる CMOS 回路、および n チャネル型 TFT503 を有する駆動回路 506 と、画素 TFT504、保持容量 505 とを有する画素部 507 を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0128】駆動回路 506 の n チャネル型 TFT501 はチャネル形成領域 423c、ゲート電極の一部を構成する第 1 の導電層 428a と重なる低濃度不純物領域 423b (GOLD 領域) とソース領域またはドレイン領域として機能する高濃度不純物領域 434 を有している。この n チャネル型 TFT501 と電極 466 で接続して CMOS 回路を形成する p チャネル型 TFT502 にはチャネル形成領域 424c、ゲート電極の一部を構成する第 1 の導電層 429a と重なる不純物領域 424b、ソース領域またはドレイン領域として機能する高濃度不純物領域 457、458 を有している。また、n チャネル型 TFT503 にはチャネル形成領域 425c、ゲート電極の一部を構成する第 1 の導電層 430a と重なる低濃度不純物領域 425b (GOLD 領域) とソース領域またはドレイン領域として機能する高濃度不純物領域 436 を有している。

【0129】画素部の画素 TFT504 にはチャネル形成領域 426c、ゲート電極の一部を構成する第 1 の導電層 431a と重なる低濃度不純物領域 426b (GOLD 領域) とソース領域またはドレイン領域として機能する高濃度不純物領域 437 を有している。また、保持容量 505 の一方の電極として機能する半導体層 456、459 には、それぞれ p 型を付与する不純物元素が添加されている。保持容量 505 は、絶縁膜 339g を誘電体として、電極 (432a と 432b の積層) と、半導体層 456、459、427c とで形成している。

【0130】また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0131】また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 10 に示す。なお、図 6～図 9 に対応する部分には同じ符号を用いている。図 9 (B) 中の鎖線 A-A' は図 10 中の鎖線 A-A' で切断した断面図に対応している。また、図 9 (B) 中の鎖線 B-B' は図 10 中の鎖線 B-B' で切断した断面図に対応している。

【0132】[実施例 5] 本実施例では、実施例 4 で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図 11 を

用いる。

【0133】まず、実施例 4 に従い、図 9 (B) の状態のアクティブマトリクス基板を得た後、図 11 のアクティブマトリクス基板上、少なくとも画素電極 470 上に配向膜 471 を形成しラビング処理を行なう。なお、本実施例では配向膜 471 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ (図示しない) を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0134】次いで、対向基板 472 を用意する。次いで、対向基板 472 上に着色層 473、474、平坦化膜 475 を形成する。赤色の着色層 473 と青色の着色層 474 とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

【0135】本実施例では、実施例 4 に示す基板を用いている。従って、実施例 4 の画素部の上面図を示す図 10 では、少なくともゲート配線 469 と画素電極 470 の隙間と、ゲート配線 469 と接続電極 468 の隙間と、接続電極 468 と画素電極 470 の隙間を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0136】このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0137】次いで、平坦化膜 475 上に透明導電膜からなる対向電極 476 を少なくとも画素部に形成し、対向基板の全面に配向膜 477 を形成し、ラビング処理を施した。

【0138】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 478 で貼り合わせる。シール材 478 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 479 を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料 479 には公知の液晶材料を用いれば良い。このようにして図 11 に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板 (図示しない) を貼りつけた。そして、公知の技術を用いて FPC を貼りつけた。

【0139】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【0140】[実施例 6] 本実施例では、本発明を用いて EL (エレクトロルミネセンス) 表示装置を作製した例について説明する。なお、図 12 は本発明の EL 表示装

置の断面図である。

【0141】図12において、基板700上に設けられたスイッチングTFT603は図9のnチャネル型TFT503を用いて形成される。したがって、構造の説明はnチャネル型TFT503の説明を参照すれば良い。

【0142】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0143】基板700上に設けられた駆動回路は図9のCMOS回路を用いて形成される。従って、構造の説明はnチャネル型TFT501とpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0144】また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

【0145】なお、電流制御TFT604は図9のpチャネル型TFT502を用いて形成される。従って、構造の説明はpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0146】また、配線706は電流制御TFTのソース配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極710上に重ねることで画素電極710と電気的に接続する電極である。

【0147】なお、710は、透明導電膜からなる画素電極（EL素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0148】配線701～707を形成後、図12に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。

【0149】なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0150】画素電極710の上にはEL層713が形成される。なお、図12では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq3）膜を設けた積層構造としている。Alq3にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0151】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0152】次に、EL層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0153】この陰極714まで形成された時点でEL素子715が完成する。なお、ここでいうEL素子715は、画素電極（陽極）710、EL層713及び陰極714で形成されたコンデンサを指す。

【0154】EL素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0155】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100℃以下の温度範

用で成膜可能であるため、耐熱性の低いEL層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、EL層713の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間にEL層713が酸化するといった問題を防止できる。

【0156】さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを用いる。

【0157】こうして図12に示すような構造のEL表示装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0158】こうして、プラスチック基板を母体とする絶縁体501上にnチャネル型TFT601、602、スイッチングTFT（nチャネル型TFT）603および電流制御TFT（nチャネル型TFT）604が形成される。ここまでの製造工程で必要としたマスク数は、一般的なアクティブマトリクス型EL表示装置よりも少ない。

【0159】即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0160】さらに、図9を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高いEL表示装置を実現できる。

【0161】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0162】さらに、EL素子を保護するための封止（または封入）工程まで行った後の本実施例のEL発光装置について図13を用いて説明する。なお、必要に応じて図12で用いた符号を引用する。

【0163】図13（A）は、EL素子の封止までを行った状態を示す上面図、図13（B）は図13（A）を

A-A'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0164】なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書におけるEL表示装置には、EL表示装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0165】次に、断面構造について図13（B）を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電氣的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路（図14参照）を用いて形成される。

【0166】画素電極710はEL素子の陽極として機能する。また、画素電極710の両端にはバンク712が形成され、画素電極710上にはEL層713およびEL素子の陰極714が形成される。

【0167】陰極714は全画素に共通の配線としても機能し、接続配線904を経由してFPC905に電氣的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜567で覆われている。

【0168】また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901とEL素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0169】EL素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901aの材料としてFRP（Fiberglass-Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリルを用いることができる。

【0170】また、封止材907を用いてカバー材901を接着した後、封止材907の側面（露呈面）を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0171】以上のような構造でEL素子を封止材907に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置が得られる。

【0172】[実施例7]上記各実施例1乃至6のいずれかを実施して形成されたTFTは様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0173】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図14、図15及び図16に示す。

【0174】図14（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0175】図14（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0176】図14（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0177】図14（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0178】図14（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行なうことができる。本発明は表示部2402に適用

用することができる。

【0179】図14（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本願発明を表示部2502に適用することができる。

【0180】図15（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0181】図15（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0182】なお、図15（C）は、図15（A）及び図15（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図15（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0183】また、図15（D）は、図15（C）中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図15（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0184】ただし、図15に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0185】図16（A）は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を表示部2904に適用することができる。

【0186】図16（B）は携帯書籍（電子書籍）であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006

等を含む。本発明は表示部 3002、3003 に適用することができる。

【0187】図 16 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

【0188】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～5 のどのような組み合わせからなる構成を用いても実現することができる。

【0189】

【本発明の効果】本発明の構成を採用することにより、以下に示すような基本的有意性を得ることが出来る。

(a) 従来の TFT の作製プロセスに適合した、簡単な方法である。

(b) ドーピング処理による半導体膜の注入欠陥を低減できる。

(c) ソース領域およびドレイン領域と、LDD 領域それぞれに少なくとも 2 回のドーピング処理によって不純物元素を導入するため、設計の自由度が向上する。

(d) 以上の利点を満たした上で、電気的特性の優れた TFT を作製できる方法である。

【図面の簡単な説明】

【図 1】 本発明が開示するドーピング処理を説明する

ための図。

【図 2】 本発明が開示するドーピング処理を説明するための図。

【図 3】 本発明が開示するドーピング処理を説明するための図。

【図 4】 本発明が開示するドーピング処理を説明するための図。

【図 5】 (A) 加速電圧をパラメータとし、ボロン (B) の珪素膜中における濃度プロファイルを示す図。  
10 (B) ボロン (B) の珪素膜中の平均濃度に対するシート抵抗値を示す図。

【図 6】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 7】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 8】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

【図 9】 画素 TFT、駆動回路の TFT の作製工程を示す断面図。

20 【図 10】 画素 TFT の構成を示す上面図。

【図 11】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図 12】 EL 表示装置を示す断面図。

【図 13】 EL 発光装置を示す図。

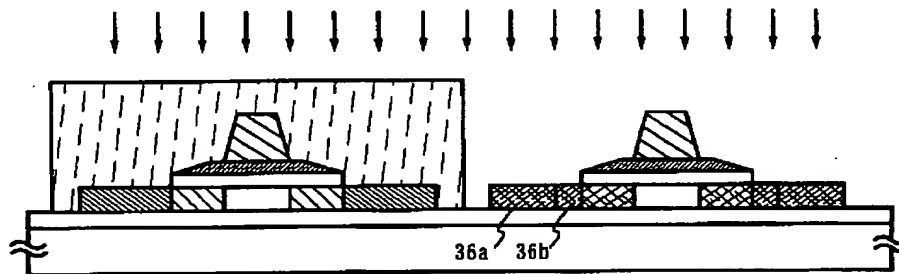
【図 14】 半導体装置の一例を示す図。

【図 15】 半導体装置の一例を示す図。

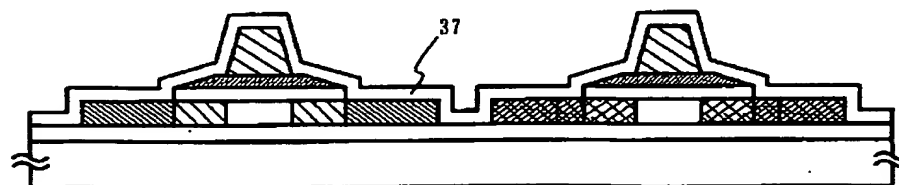
【図 16】 半導体装置の一例を示す図。

【図 3】

(A) 第 4 のドーピング処理

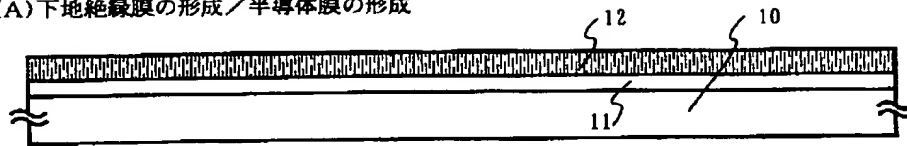


(B) 層間絶縁膜の形成／加熱処理

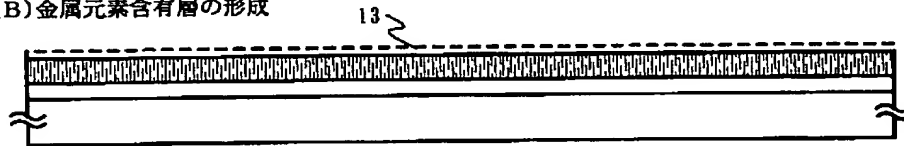


【図 1】

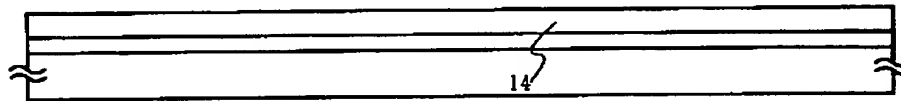
(A) 下地絶縁膜の形成／半導体膜の形成



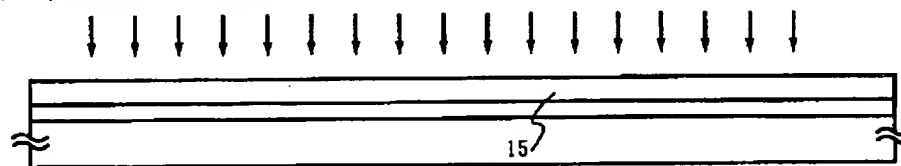
(B) 金属元素含有層の形成



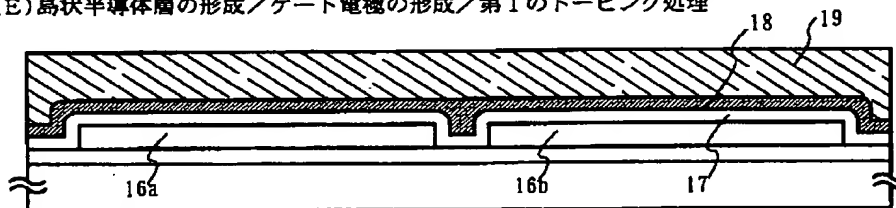
(C) 半導体膜の熱結晶化



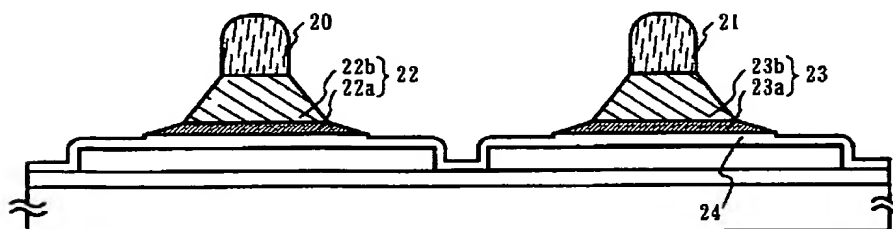
(D) 半導体膜のレーザ結晶化



(E) 島状半導体層の形成／ゲート電極の形成／第1のドーピング処理

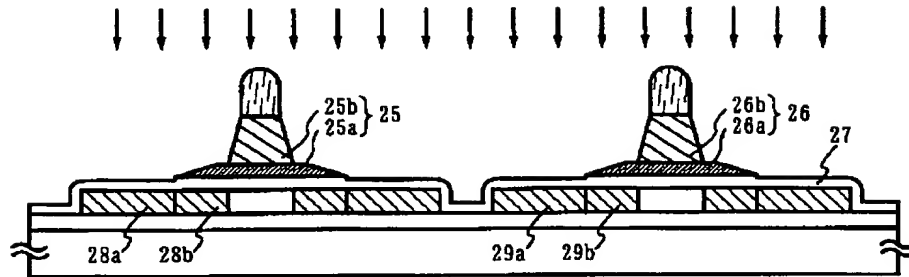


(F) 第1のエッチング処理

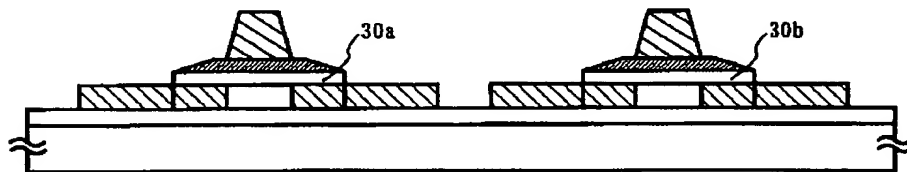


【図 2】

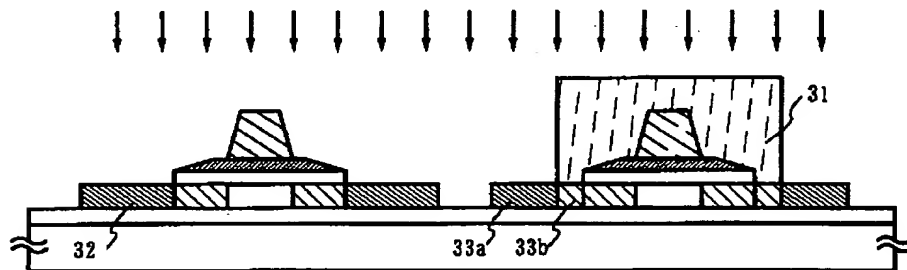
(A) 第 2 のエッチング処理／第 1 のドーピング処理



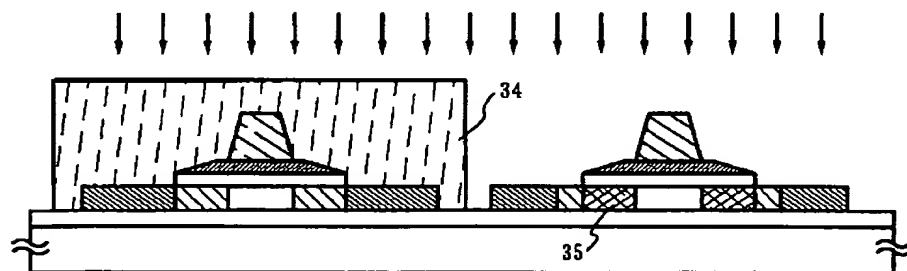
(B) 第 3 のエッチング処理



(C) 第 2 のドーピング処理



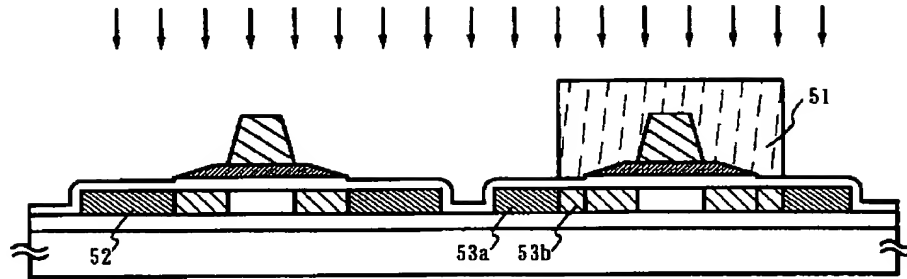
(D) 第 3 のドーピング処理



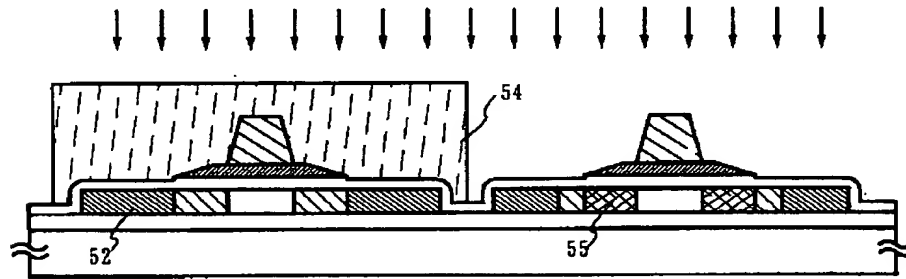


【図4】

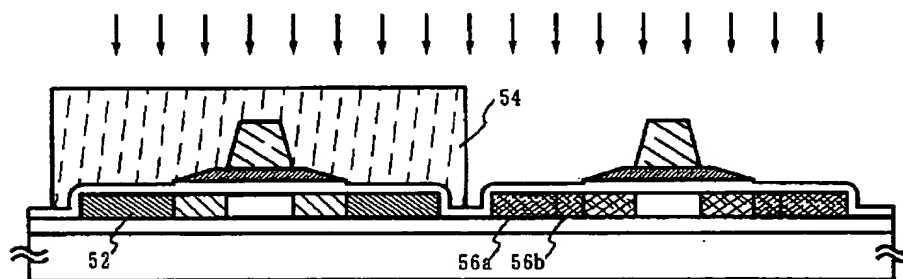
(A) 第2のドーピング処理



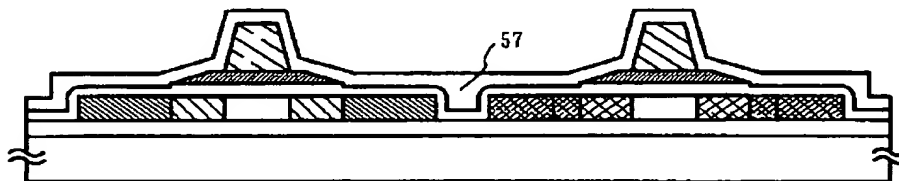
(B) 第3のドーピング処理



(C) 第4のドーピング処理

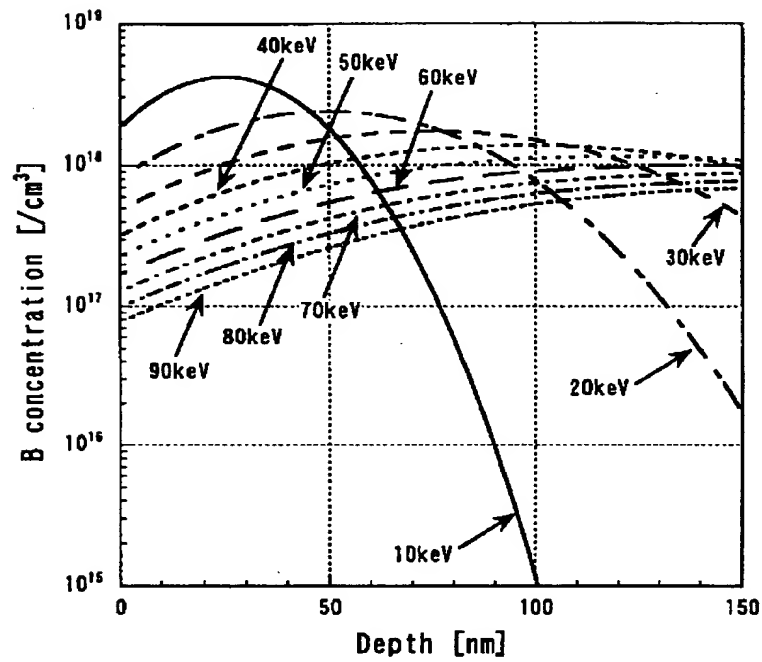


(D) 層間絶縁膜の形成/加熱処理

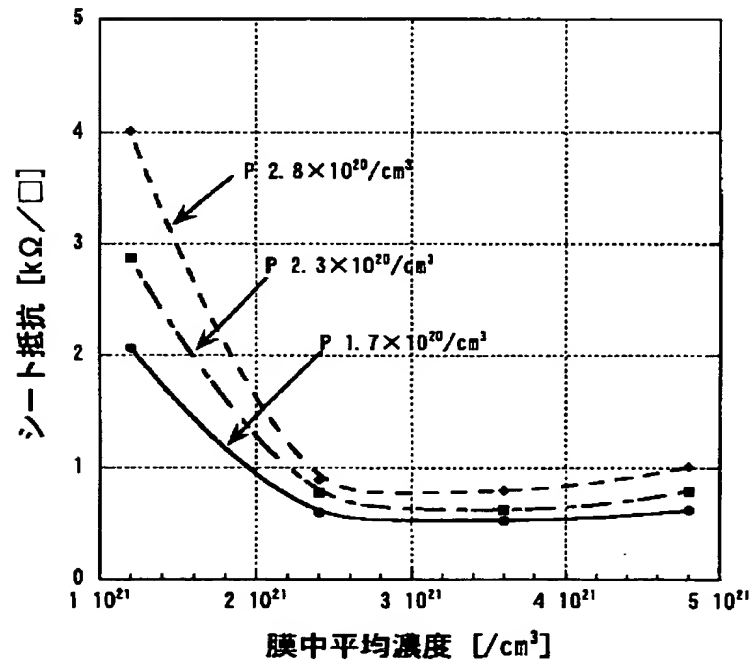


【図5】

(A)

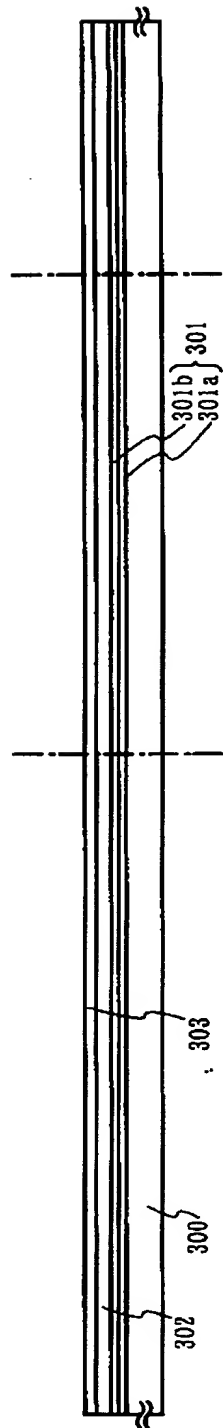


(B)



【図 6】

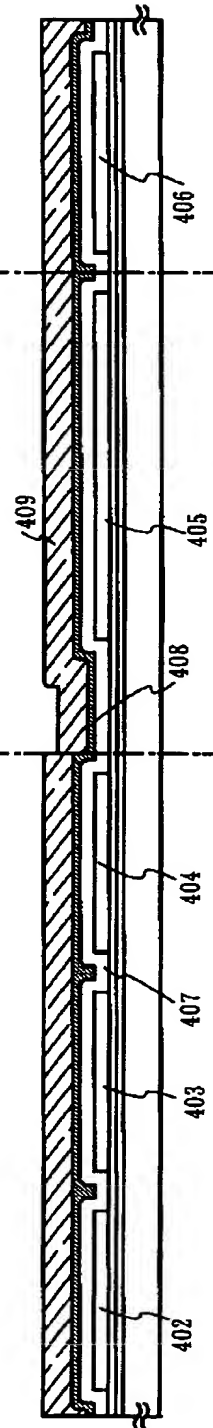
(A) 下地絶縁膜の形成／半導体膜の形成／金属元素含有膜の形成



(B) 半導体膜の結晶化

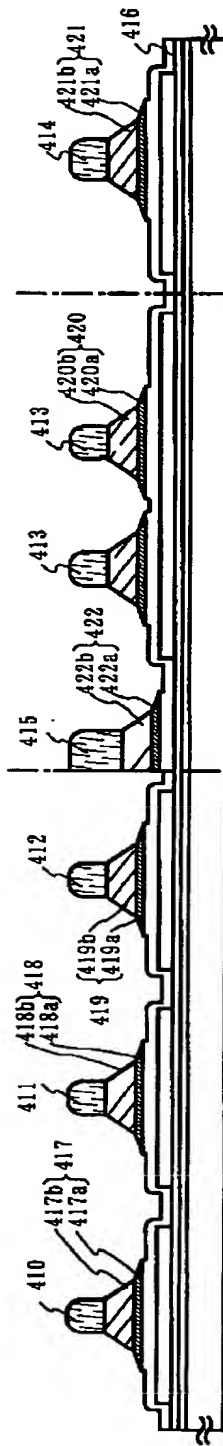


(C) 半導体層の形成／絶縁膜の形成／第 1 の導電膜と第 2 の導電膜の形成

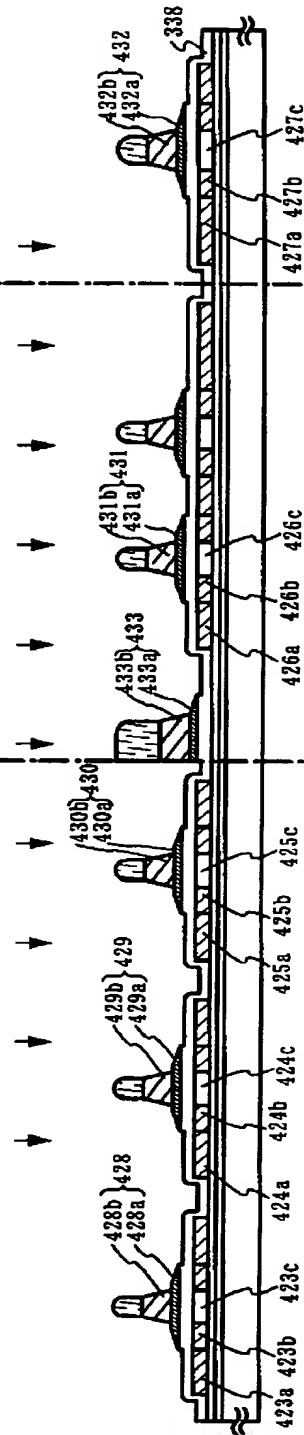


【図7】

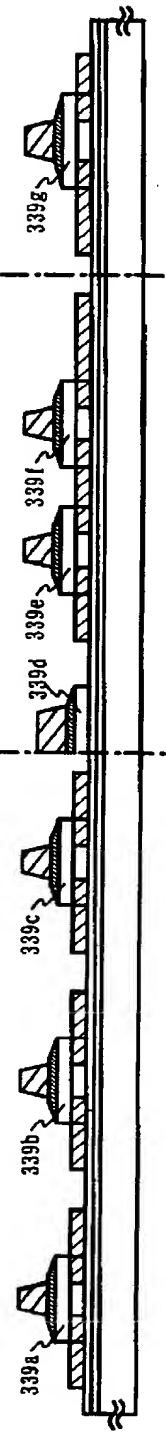
(A) 第1のエッチング処理



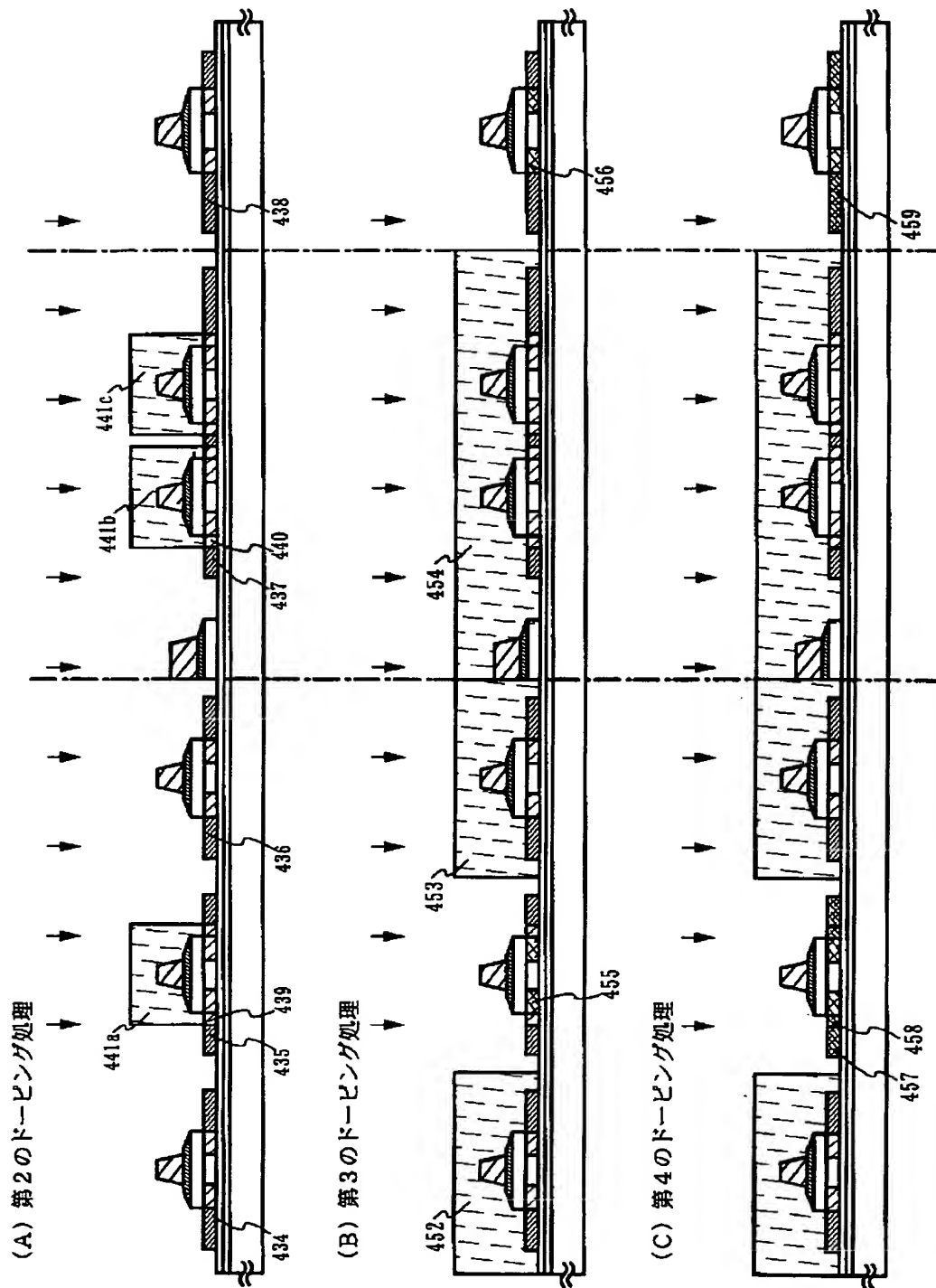
(B) 第2のエッチング処理/第1のドーピング処理



(C) 第3のエッチング処理

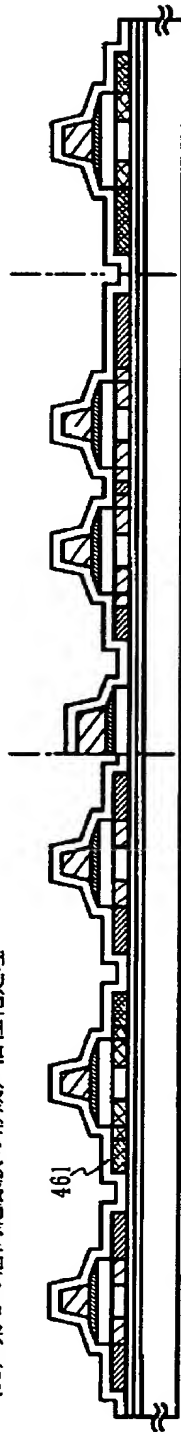


【図8】

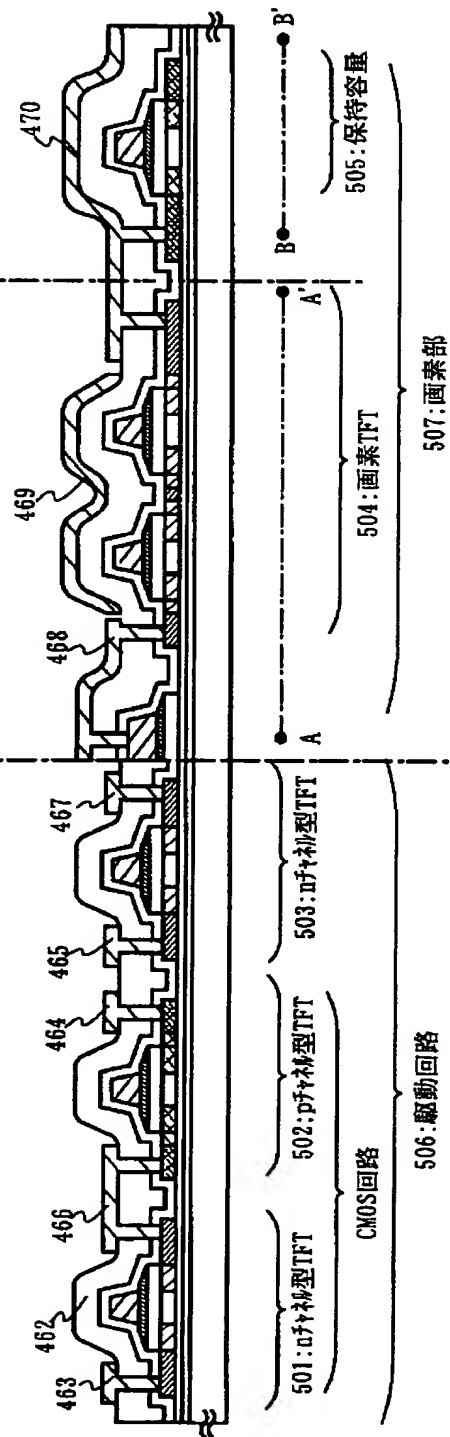


【図9】

(A) 第1の層間絶縁膜の形成/活性化処理

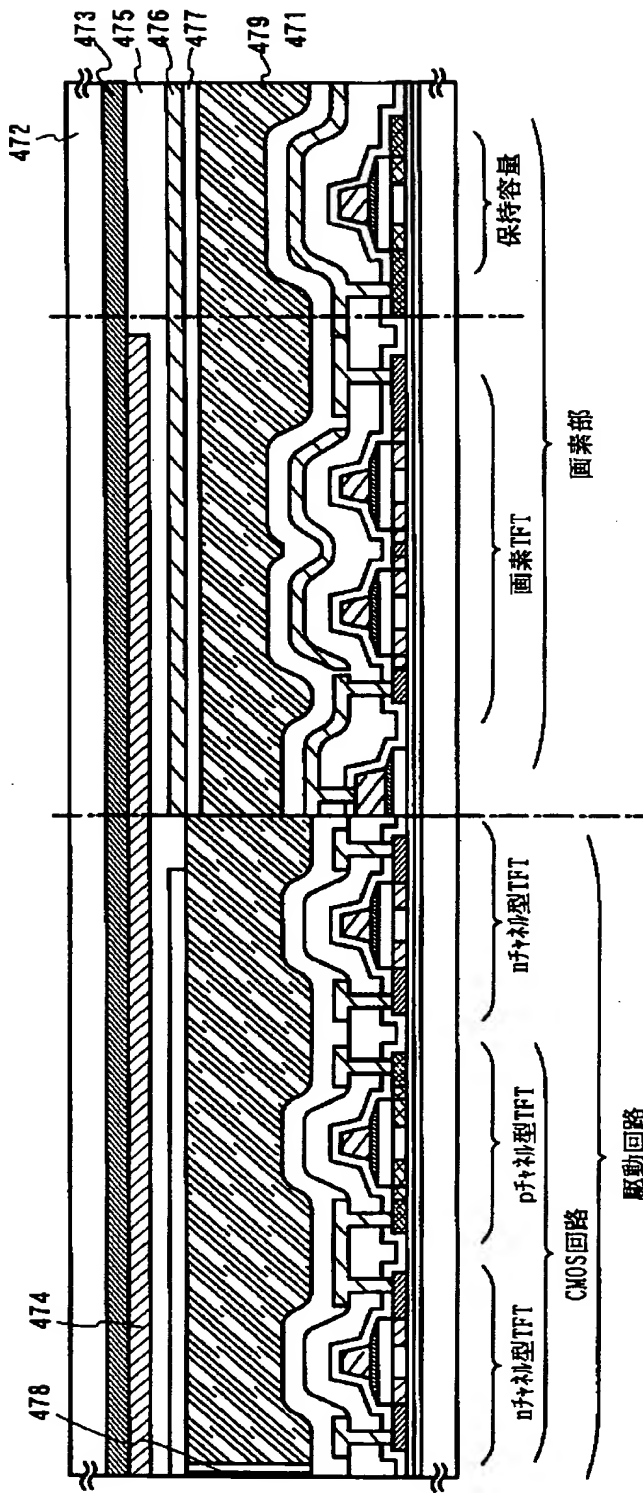


(B) 電極の形成

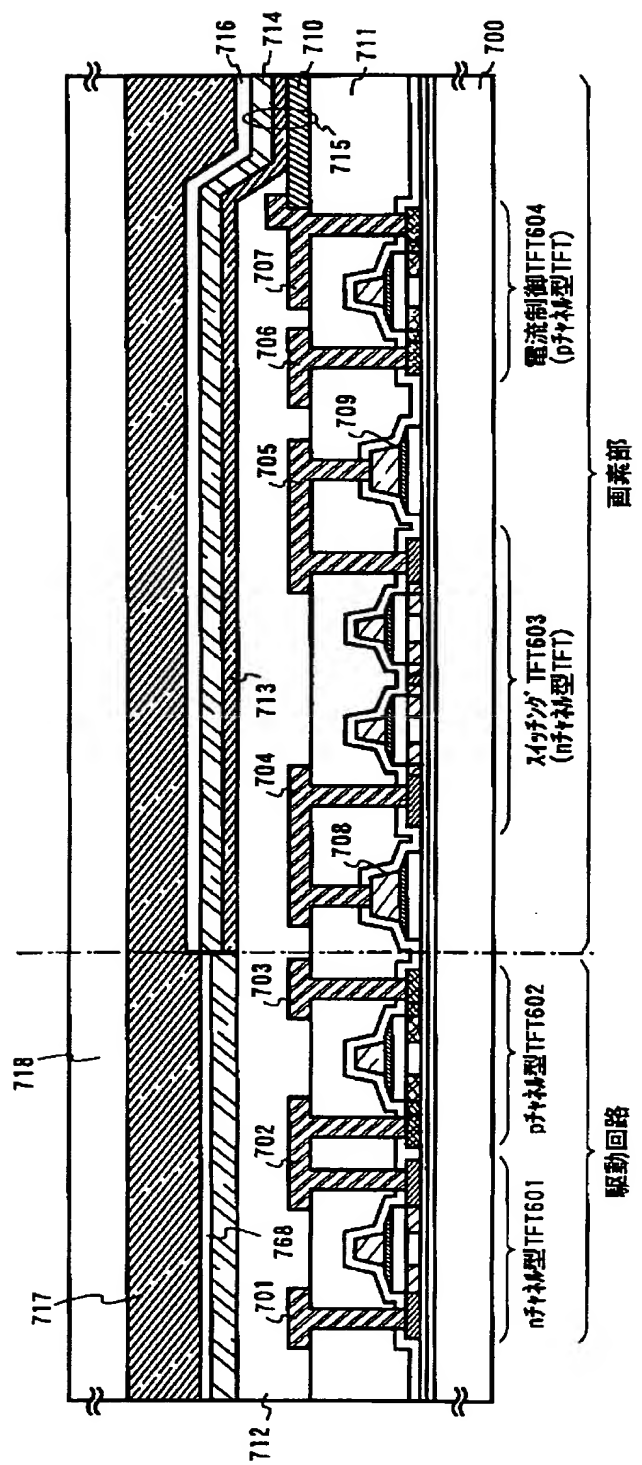




【図11】

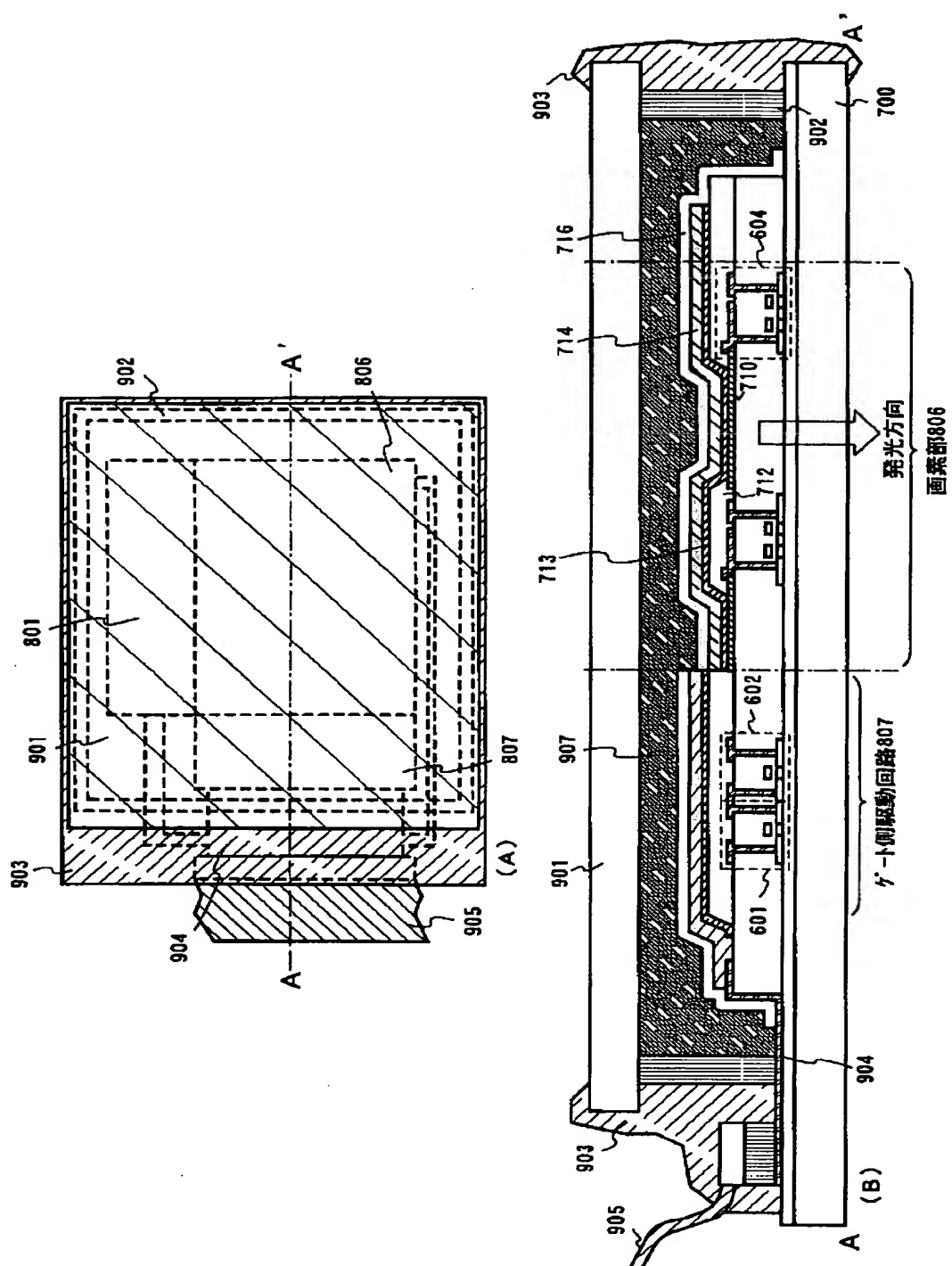


【図12】

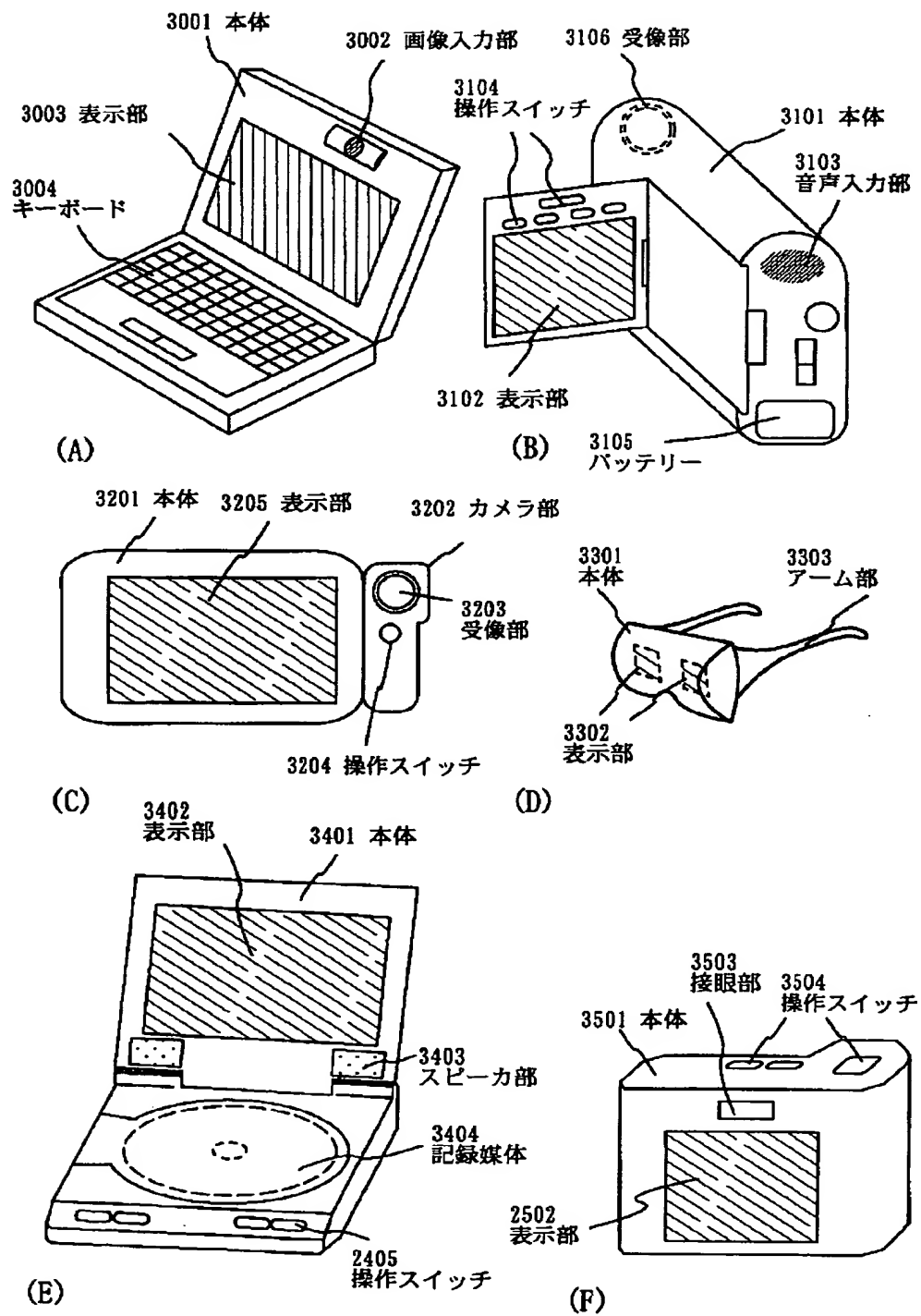




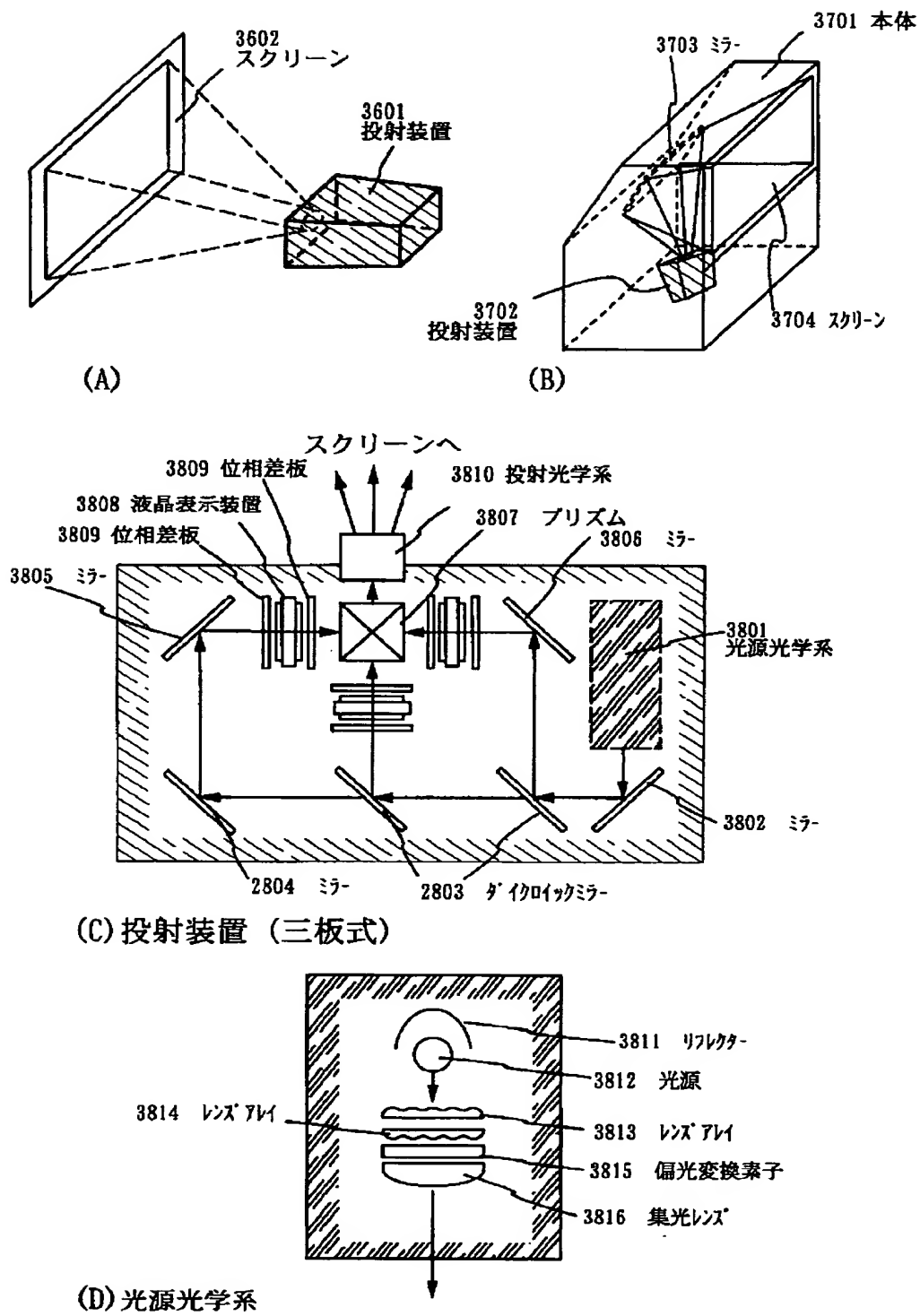
【図13】



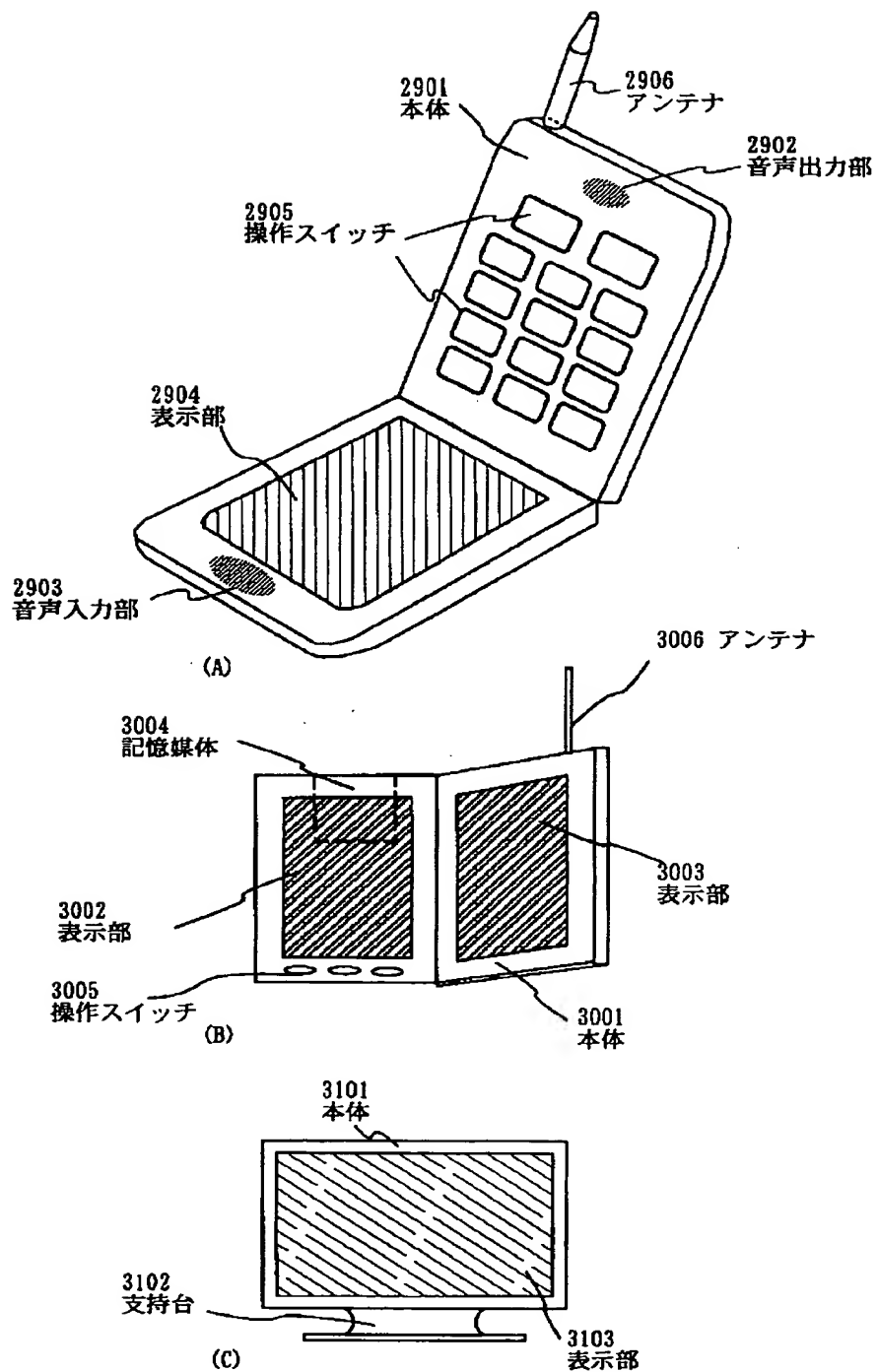
【図 14】



【図 15】



【図16】



フロントページの続き

(72) 発明者 遠藤 誠  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

(72) 発明者 早川 茂則  
 神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

(72)発明者 梶原 誠之  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72)発明者 関口 慶一  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

F ターム(参考) 2H092 GA59 JA25 JA29 JA38 JA42  
JA44 JB13 JB23 JB32 JB33  
JB38 JB42 JB51 JB58 JB63  
JB69 KA07 KA16 KA18 KB22  
MA05 MA07 MA14 MA15 MA16  
MA18 MA19 MA20 MA27 MA29  
MA35 MA37 MA41 NA22 NA25  
PA07 RA05  
5F110 AA06 BB02 BB04 CC02 DD01  
DD02 DD03 DD05 DD13 DD14  
DD15 DD17 EE01 EE02 EE03  
EE04 EE06 EE09 EE14 EE23  
EE44 EE45 FF02 FF04 FF09  
FF28 FF30 GG01 GG02 GG13  
GG25 GG32 GG43 GG45 GG47  
HJ01 HJ04 HJ12 HJ13 HJ23  
HL04 HL06 HL11 HM15 NN03  
NN22 NN23 NN24 NN27 NN34  
NN35 NN72 PP01 PP02 PP03  
PP13 PP29 PP34 QQ04 QQ11  
QQ24 QQ25 QQ28